

Министерство высшего и среднего специального
образования РСФСР

Куйбышевский ордена Трудового Красного Знамени
авиационный институт имени академика С.П.Королева

МИКРОПРОЦЕССОРНЫЙ КОМПЛЕКТ

К 589

У т в е р ж д е н о
редакционно-издательским
советом института
в качестве методических
указаний для студентов

Куйбышев 1984

В методических указаниях по курсу "Цифровые вычислительные машины" приведено описание микропроцессорного комплекта К589, используемого при проектировании операционных устройств в качестве элементной базы; даны рекомендации по использованию основных элементов комплекта. Указания составлены на кафедре "Автоматизированные системы управления" и предназначены для студентов специальности 0646.

Составитель - В.Г. И о ф ф е

Рецензенты: канд.техн.наук доц. В.А.Г л а з у н о в,
канд.техн.наук доц. В.А.Л у к и н ы х

Технические характеристики микропроцессорного набора К589

Серия К589 представляет собой комплект интегральных схем (ИС), состоящий из процессорной и интерфейсных схем. Комплект предназначен для построения быстродействующих контроллеров различной организации, микро- и мини-ЭВМ, систем обработки данных.

В состав серии входят следующие элементы:

блок микропрограммного управления (БМУ) К589 ИКО1;

центральный процессорный элемент (ЦПЭ) К589 ИКО2;

схема ускоренного переноса (СУП) К589 ИКО3;

многорежимный буферный регистр (МБР) К589 ИР12;

блок приоритетного прерывания (БПП) К589 ИКИ4;

шинный формирователь (ШФ) К589 АП16;

шинный формирователь с инверсией (ШФИ) К589 АП26;

многофункциональное синхронизирующее устройство (МСУ) К589 ХЛ4.

Микросхемы выполнены на основе ТТЛ с диодами Шотки (ТТЛШ) и совместимы со всеми серийными ТТЛ схемами. Поэтому их применение не ограничивается рамками 589 серии. При проектировании цифровых систем элементы микропроцессорного набора К589 могут использоваться и в качестве автономных функциональных узлов.

При работе с серией К589 в качестве ЗУ микрокоманд рекомендуется использовать программируемое постоянное ЗУ К556 РТ4, К556РТ5 [1 - 3].

Схемы К589 рассчитаны на эксплуатацию в интервале рабочих температур от -10 до $+70^{\circ}\text{C}$ при напряжении питания $-(+5\text{ В } \pm 5\%)$. Остальные технические характеристики МК589 приведены в табл. I.

Т а б л и ц а I

Обозначения ИС		Напряжение, В		Ток потребле- ния, мА	Средняя мощность, мВт	Длитель- ность цикла нс
		"0"	"1"			
K589	ИКО1	< 0,5	> 2,4	< 240	850	< 85
K589	ИКО2	< 0,5	> 2,4	< 190	725	< 100
K589	ИКО3	< 0,5	> 2,4	< 130	450	< 13
K589	ИPI2	< 0,5	> 3,65	< 130	450	< 35
K589	ИКИ4	< 0,5	> 2,4	< 130	450	< 80
K589	ХЛ4	< 0,5	2,4	< 95	450	< 50
K589	АП16	< 0,7	> 2,4	< 130	470	< 65
K589	АП26	< 0,7	> 2,4	< 130	470	< 65

I. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОРНЫЙ ЭЛЕМЕНТ (ЦПЭ)

ЦПЭ, структурная схема которого представлена на рис. I, выполняет одностактные микрооперации над двухразрядными словами под действием микрокоманд, поступающих на шину ($F_0 - F_8$). Для построения центрального процессора с длиной слова n необходимо соединить между собой $n/2$ ЦПЭ.

Данные от внешних источников поступают в ЦПЭ по трем входным шинам. Шина M предназначена для передачи данных из оперативной памяти, шина B — для приема данных от устройств ввода-вывода. Шина K служит для маскирования требуемых частей информационных слов, передаваемых по шине B или из аккумулятора AC . Маскирование позволяет ускорить анализ некоторых логических условий и приводит к экономии памяти микропрограмм [1].

Дополнительной функцией шин K является формирование констант, необходимых при выполнении микропрограмм. Возможность маскирования при помощи шины K значительно увеличивает функциональные возможности ЦПЭ.

В зависимости от особенностей организации вычислительной системы возможны и другие варианты использования шин M, B, K .

Данные, обработанные в ЦПЭ, передаются на внешние устройства по адресным шинам A и информационным выходным шинам D . Выходные

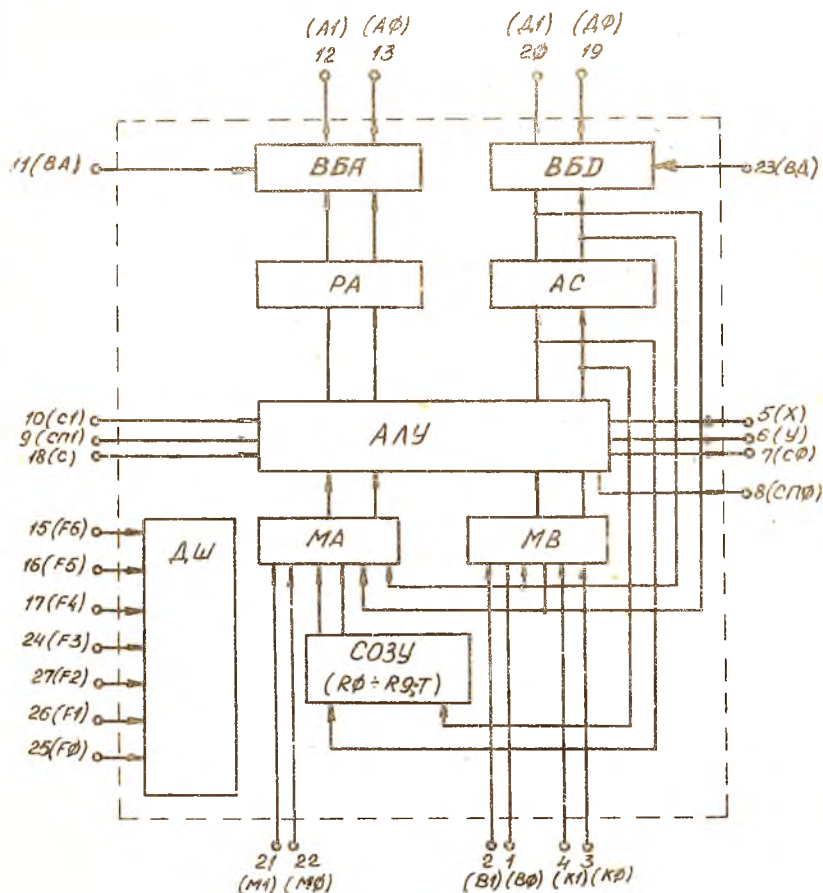
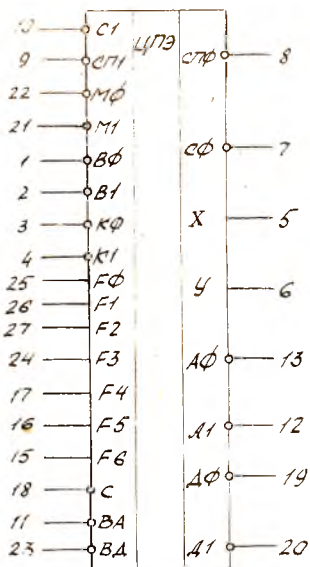


Рис. 1

шины A и D реализованы на элементах с тремя состояниями (0, 1, ∞), что упрощает организацию магистралей вычислительной системы. Управление состоянием шин A и D производится сигналами вход разрешения адреса (ВА) и вход разрешения данных (ВД), поступающими соответственно на выходные буферы ВБА и ВБД. Остальные входы и выходы используются при организации многоразрядного центрального процессора и обеспечивают распространение переносов (X , Y - выходы ускоренного пе-



Р и с. 2

в аккумуляторе АС. На вход АЛУ данные поступают через два внутренних мультиплексора МА и МВ.

Особенность мультиплексора МВ состоит в том, что его выходные сигналы всегда образованы как поразрядная конъюнкция кодов на шине K и на шине B или с выхода АС.

Содержание микроопераций задается кодом $F0 - F6$, состоящим из двух полей: поля функции $F4 - F6$ (F - группа) и поля адреса регистра $F0 - F3$ (R - группа). Кодирование этих групп приведено в табл. 3.

Выполнение микрооперации заканчивается по срезу синхроимпульса, которым результат заносится в один из внутренних регистров ЦПЭ. С приходом очередного синхроимпульса цикл выполнения микрооперации повторяется.

При внешнем управлении синхросигналом импульс, поступающий на вход "С" ЦПЭ, в требуемые моменты времени может быть заблокирован. Этот прием называется условной синхронизацией. Отсутствие синхроимпульса означает, что содержимое регистров ЦПЭ не изменяется, хотя под действием кода $F0 - F6$ АЛУ выполняет требуе-

реноса, СО - выход переноса, С1 - вход переноса), сдвиги (С1О - выход на три состояния для сдвига вправо, С1И - вход для сдвига вправо), синхронизацию (С).

Условное обозначение ЦПЭ на электрических схемах показано на рис. 2, а назначения выводов даны в табл. 2.

С семиразрядной шины P по фронту сигнала синхронизации код микрооперации через дешифратор ДШ преобразуется в систему совместимых управляющих сигналов для задания функций арифметико-логического устройства (АЛУ), выбора внутренних регистров и магистралей.

АЛУ может реализовать более 40 логических и арифметических микроопераций над операндами, находящимися на внешних шинах и внутренних регистрах ЦПЭ. Внутри ЦПЭ данные могут храниться в одиннадцати регистрах сверхоперативного запоминающего устройства (СОЗУ) ($R0 - R9, T$) и

Т а б л и ц а 2

Контакт	Обозначение	Наименование	Тип выхода	Примечание
I - 2	<i>ВФ... В1</i>	Входы внешней шины		На выходах <i>х, у, F6... F6</i> выходная информация представляется в прямом коде, на остальных - в обратном, логический "1" соответствует высокому уровню напряжения
3...4.	<i>КФ... К1</i>	Входы маскирующей шины		
5,6	<i>х, у</i>	Выходы ускоренного переноса	два состояния	
7	<i>СФ</i>	Выход переноса	Три состояния	
8	<i>СПФ</i>	Выход сдвига вправо	- " -	
9	<i>СП1</i>	Вход для сдвига вправо		
10	<i>С1</i>	Вход переноса		
11	<i>ВА</i>	Вход разрешения адреса		
12...13	<i>А1... АФ</i>	Выходы адреса памяти	Три состояния	
14		Общий		
15...17	<i>F6... F4</i>	Входы кода микрокоманд		
24...27	<i>F3... FФ</i>			
18	<i>С</i>	Вход синхронизации		
19,20	<i>ДФ... Д1</i>	Выходы информации	Три состояния	
21...22	<i>М1... МФ</i>	Входы информации		
23	<i>ВД</i>	Вход разрешения данных		
28		Питание		

мую микрооперацию. Это происходит потому, что АЛУ представляет собой комбинационную схему, для функционирования которой синхроимпульс не требуется.

Условная синхронизация экономит память за счет сокращения числа микрокоманд, необходимых для выполнения условных переходов, и увеличивает быстродействие [1,3].

Перечень микроопераций и их описание приведены в табл. 4, где: М, В, К - код числа на шинах М, В, К соответственно;

Таблица 3

Группа функций (<i>F</i> -группа)	<i>F6</i>	<i>F5</i>	<i>F4</i>
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

C_I, C_{PI} - значение переменных на входах цепи переноса и цепи сдвига вправо соответственно;

C_O, C_{PO} - значение переменных на выходах цепи переноса и цепи сдвига вправо;

АС - содержимое аккумулятора;

AT - содержимое АС или регистра Т в зависимости от кода группы;

R_n - содержимое регистра с номером n , в т.ч. и регистров АС и Т. Номер регистра определяется кодом R -группы;

Группа регистра (<i>R</i> -группа)	Регистр	<i>F3</i>	<i>F2</i>	<i>F1</i>	<i>Fφ</i>
1	R_0	0	0	0	0
	R_1	0	0	0	1
	R_2	0	0	1	0
	R_3	0	0	1	1
	R_4	0	1	0	0
	R_5	0	1	0	1
	R_6	0	1	1	0
	R_7	0	1	1	1
	R_8	1	0	0	0
	R_9	1	0	0	1
2	Т	1	1	0	0
	АС	1	1	0	1
3	Т	1	0	1	0
	АС	1	0	1	1
?	Т	1	1	1	0
	АС	1	1	1	1

Содержание микроопераций				K = 00				K = 11			
№	код микро-операции	Произвольное K		функция	мнемоническая обозначение	группа микро-операций	принадлежность	функция	мнемоническая обозначение	группа микро-операций	принадлежность
п/п	группа на F R	K									
1	2	3	4	5	6	7	8	9	10	11	12
1	0	I	$(AC, R_n) := R_n + (AC \wedge K) + C_1$	$(R_n, AC) := R_n + C_1$	$\mathcal{J} \mathcal{R}$	$\Pi (C_1 = 0)$ $A (C_1 = 1)$		$(R_n, AC) := AC + R_n + C_1$	$A \mathcal{R}$	A	1
2	3	I	$R_n := R_n + (AC \wedge K) + C_1$	$R_n := R_n + C_1$	$\mathcal{J} \mathcal{N} \mathcal{R}$	$\mathcal{Y} (C_1 = 0)$ $A (C_1 = 1)$	2	$R_n := AC + R_n + C_1$	$A \mathcal{D} \mathcal{R}$	A	
3	2	I	$R_n := (AC \wedge K) + C_1 - 1$	$R_n := C_1 - 1$	$\mathcal{C} \mathcal{S} \mathcal{R}$	\mathcal{Y}	3	$R_n := AC - 1 + C_1$	$\mathcal{S} \mathcal{D} \mathcal{R}$	$\Pi (C_1 = 1)$ $A (C_1 = 0)$	
4	2	II	$AT := (AC \wedge K) + C_1 - 1$	$AT := C_1 - 1$	$\mathcal{C} \mathcal{S} \mathcal{A}$	\mathcal{Y}	6	$AT := AC - 1 + C_1$	$\mathcal{S} \mathcal{D} \mathcal{A}$	$\Pi (C_1 = 1)$ $A (C_1 = 0)$	
5	1	I	$PA := K \vee R_n$; $R_n := R_n + K + C_1$	$PA := R_n$; $R_n := R_n + C_1$	$\mathcal{A} \mathcal{N} \mathcal{J}$	Π_{6n} \mathcal{Y}_{6n}	4	$PA := 1$ $R_n := R_n - 1 + C_1$	$\mathcal{D} \mathcal{S} \mathcal{M}$	\mathcal{Y}	5
6	3	III	$AT := AT + (B \wedge K) + C_1$	$AT := AT + C_1$	$\mathcal{J} \mathcal{N} \mathcal{A}$	$\mathcal{Y} (C_1 = 0)$ $A (C_1 = 1)$		$AT := AT + B + C_1$	$A \mathcal{J} \mathcal{A}$	A_{6n}	
7	2	III	$AT := (B \wedge K) + C_1 - 1$	$AT := C_1 - 1$	$\mathcal{C} \mathcal{S} \mathcal{A}$	\mathcal{Y}		$AT := B - 1 + C_1$	$\mathcal{A} \mathcal{D} \mathcal{J}$	$\Pi_{6n} (C_1 = 1)$ $A_{6n} (C_1 = 0)$	
8	3	0	$AT := M + (AC \wedge K) + C_1$	$AT := M + C_1$	$\mathcal{A} \mathcal{C} \mathcal{M}$	$\Pi_{6n} (C_1 = 0)$ $A_{6n} (C_1 = 1)$		$AT := M + AC + C_1$	$A \mathcal{M} \mathcal{A}$	A_{6n}	

Продолжение табл. 4

1	2	3	4	5	6	7	8	9	10	11	12
9	1	II	$PA := KV \vee M;$ $AT := M + K + C_1;$	$PA := M;$ $AT := M + C_1;$	$\mathcal{L}MM$	Π_{6H} A_{6H}		$PA := 11;$ $AT := M - 1 + C_1;$	$\mathcal{L}DM$	$\Pi_{6H} (C_1=0)$ $A_{6H} (C_1=0)$	
10	5	II	$C_0 := C_1 \vee (M \wedge K);$ $AT := K \wedge M;$	$C_0 := C_1;$ $AT := 0;$	$\mathcal{L}LA$	Y_{6H}		$C_0 := C_1 \vee M;$ $AT := M;$	$\mathcal{L}TM$	Y_{6H} Π_{6H}	7
11	0	III	$C\Pi_0 := AT \wedge (\overline{B_n} \wedge K_0);$ $AT_n := C\Pi_1 \vee (B_n \wedge K_n \wedge \overline{AT_n});$ $AT_n := [AT_n \wedge (B_n \wedge K_n)] \vee$ $\vee [AT_n \vee (B_n \wedge K_n)];$	$C\Pi_0 := AT_n;$ $AT_n := C\Pi_1;$ $AT_n := \overline{AT_n};$	SRA	C_n	8				
12	1	III	$AT := (\overline{AT} \vee K) + (AT \wedge K) + C_1$	$AT := \overline{AT} + C_1$	$\mathcal{C}YA$	\mathcal{A}	9	$AT := AT - 1 + C_1;$	$\mathcal{D}CA$	$Y (C_1=0)$ $A (C_1=0)$	
13	4	I	$C_0 := C_1 \vee (R_n \wedge AC \wedge K);$ $R_n := R_n \wedge (AC \wedge K);$	$C_0 := C_1;$ $R_n := 0;$	$\mathcal{C}LR$	Y		$C_0 := C_1 \vee (R_n \wedge AC);$ $R_n := R_n \wedge AC;$	$\mathcal{A}NR$	\mathcal{A} $Y (C_1=0)$	10
14	5	I	$C_0 := C_1 \vee (R_n \wedge K);$ $R_n := K \wedge R_n;$	$C_0 := C_1;$ $R_n := 0;$	$\mathcal{C}LR$	Y		$C_0 := C_1 \vee R_n;$ $R_n := R_n;$	$\mathcal{T}ZR$	\mathcal{A} Y	11
15	6	I	$C_0 := C_1 \vee (AC \wedge K);$ $R_n := R_n \vee (AC \wedge K);$	$C_0 := C_1;$ $R_n := R_n;$	NOP	Y	12	$C_0 := C_1 \vee AC;$ $R_n := R_n \vee AC;$	$\mathcal{O}RR$	\mathcal{A} Y	13
16	7	I	$C_0 := C_1 \vee (R_n \wedge AC \wedge K);$ $R_n := R_n \oplus (AC \wedge K);$	$C_0 := C_1;$ $R_n := R_n;$	$\mathcal{C}MR$	\mathcal{A}		$C_0 := C_1 \vee (R_n \wedge AC);$ $R_n := R_n \oplus AC;$	$\mathcal{X}NR$	\mathcal{A} Y	14
17	5	III	$C_0 := C_1 \vee (AT \wedge K);$ $AT := AT \wedge K;$	$C_0 := C_1;$ $AT := 0;$	$\mathcal{C}LA$	Y		$C_0 := C_1 \vee AT;$ $AT := AT;$	$\mathcal{T}ZA$	Y	15

1	2	3	4	5	6	7	8	9	10	11	12
18	4	III	$C_0 := C_1 V(AT \wedge B \wedge K);$ $AT := AT \wedge (B \wedge K);$	$C_0 := C_1;$ $AT := O$	$C \neq A$	У		$C_0 := C_1 V(AT \wedge B);$ $AT := AT \wedge B;$	ANY	$У_{\delta H}$ $Л_{\delta H}$	
19	6	III	$C_0 := C_1 V(B \wedge K);$ $AT := AT \vee (B \wedge K);$	$C_0 := C_1;$ $AT := AT$	NOP	У		$C_0 := C_1 \vee B;$ $AT := AT \vee B;$	ORY	$У_{\delta H}$ $Л_{\delta H}$	
20	7	III	$C_0 := C_1 V(AT \wedge B \wedge K);$ $AT := AT \oplus (B \wedge K);$	$C_0 := C_1;$ $AT := AT;$	CMA	Л		$C_0 := C_1 V(AT \wedge B);$ $AT := AT \oplus B$	XNY	$У_{\delta H}$ $Л_{\delta H}$	
21	4	II	$C_0 := C_1 V(M \wedge AC \wedge K);$ $AT := M \wedge (AC \wedge K);$	$C_0 := C_1;$ $AT := O$	$C \neq A$	У		$C_0 := C_1 V(M \wedge AC);$ $AT := M \wedge AC$	ANM	$У_{\delta H}$ $Л_{\delta H}$	
22	6	II	$C_0 := C_1 V(AC \wedge K);$ $AT := M \vee (AC \wedge K);$	$C_0 := C_1;$ $AT := M$	$\neq MF$	$Л_{\delta H}$		$C_0 := C_1 \vee AC;$ $AT := M \vee AC$	ORM	У $Л_{\delta H}$	
23	7	II	$C_0 := C_1 V(M \wedge AC \wedge K);$ $AT := M \oplus (AC \wedge K);$	$C_0 := C_1;$ $AT := M$	$\neq CM$	$Л_{\delta H}$		$C_0 := C_1 V(M \wedge AC);$ $AT := M \oplus AC;$	XNM	$У_{\delta H}$ $Л_{\delta H}$	

$:=$ - знак присвоения;

РА - содержимое регистра адреса;

А, П, Л, С, У - обозначение группы микроопераций (арифметические, пересылки, логические, сдвиги, управление соответственно);

ВН - подстрочный индекс, указывающий микрооперацию с внешними шинами М или В;

Л, П - подстрочные индексы, обозначающие принадлежность переменной левому (старшему) или правому (младшему) разряду ЦП.

П р и м е ч а н и я к т а б л . 4

1. Операция левого сдвига осуществляется, если при адресации $R_n = AC$.

2. При $C_I = 0$ - хранение результата.

3. Установка R_n в нули ($C_I = I$) или единицы ($C_I = 0$).

4. Одновременно с пересылкой содержимого R_n в РА возможно увеличение R_n на 1. Микрооперация используется для организации счетчика команд.

5. Загрузка РА единицами. Используется для установки в РА старшего адреса. Одновременно возможно уменьшение R_n на 1 ($C_I = 0$). Вычитание единицы осуществляется путем суммирования исходного кода с кодом "все единицы".

6. Установка АТ в нули ($C_I = I$) или единицы ($C_I = 0$).

7. Поразрядная дизъюнкция значения на шине М с C_I . Используется при организации условного перехода. Например, проверка М на ноль. Если $C_I = 0$, то $C_0 := 0$ при $M = 0$.

8. Содержимое АС или Т сдвигается вправо на один разряд; в старший (левый) разряд записывается значение $СП_I$.

9. Используется для получения обратного ($C_I = 0$) или дополнительного ($C_I = I$) кодов.

10. Применяется при организации условного перехода. При $C_I = 0$ на C_0 фиксируется значение $(R_n \wedge AC)$.

11. Проверка на ноль. Поразрядная дизъюнкция содержимого R_n с C_I . Если $C_I = 0$, то $C_0 := 0$ при $R_n = 0$. При произвольном значении К можно проводить сравнение содержимого R_n и значения К.

12. Пустая микрооперация.

13. Логическое сложение и проверка на ноль содержимого АС перед сложением (см. п. 10). Может использоваться при организации условных переходов.

14. Функция равнозначности (эквивалентности). Организация условного перехода на основании анализа $(R_n \wedge AC)$.

15. Проверка АТ на ноль и формирование признака результата в С0. Значение кода микрооперации см. в табл. 3.

Микрооперации (см. табл. 4) разбиты на пять групп: с I по IO позиции представлены, главным образом, арифметические микрооперации и пересылки (позиции I-5 отражают операции с внутренними регистрами, позиции 6,7 - с шинами В, позиции 8-9 - с шинами М).

Микрооперации сдвига выполняются путем подачи кода позиции II (правый сдвиг) и позиции I (левый сдвиг) при соответствующем значении К. С I2 по 23 позиции представлены логические микрооперации и микрооперации, с помощью которых можно организовать команды управления (условные переходы, обнуление регистров и занесение в них единичных значений и т.п.).

Аналогично предыдущему позиции (I2-I7) характеризуют микрооперации с внутренними регистрами (I8-20) - с шинами В, (2I-23) - с шиной М.

С помощью одного кода микрооперации в зависимости от значения К можно получить различные типы микроопераций. Например, с помощью кода позиции I получают II, А, С.

Особенности выполнения микроопераций следующие: информация с входных шин М, В может быть занесена только в регистры АС, Т, РА; результат микрооперации передается на выходные шины данных Д только с регистра АС, доступ на выходную шину адреса А возможен только из регистра РА.

2. БЛОК МИКРОПРОГРАММНОГО УПРАВЛЕНИЯ

Блок микропрограммного управления (БМУ) предназначен для реализации разнообразных управляющих функций, основные из которых: управление последовательностью выборки микрокоманд из памяти микропрограмм, хранение и проверка некоторых данных ЦПЗ, управление прерываниями микропрограммного уровня.

БМУ позволяет непосредственно адресоваться к 512 ячейкам памяти. При большем объеме 3У микропрограмм необходимо использовать страничную адресацию, при которой объем страницы равен 512 ячейкам, а номер страницы указывается либо в микрокоманде, либо в специальном регистре. Структурную организацию БМУ иллюстрирует рис. 3, условные обозначения представлены по рис. 4. Назначение выводов БМУ показано в табл. 5.

Основой БМУ служит логическая схема определения следующего адреса микрокоманды (ДСАМ). В общем случае этот адрес определяется:

кодом команды (КО-К7), считываемой из оперативной памяти вычислительной системы;

кодом управления переходом к следующему адресу (УАО-УА6), находящемуся в соответствующем поле микрокоманды;

кодом управления флаговой логики и содержимым триггеров F , C , Z . Загрузка триггеров осуществляется кодом УФ2, УФ3, а чтение записанной в них информации -- УФ0, УФ1; кодом текущего адреса микрокоманды;

значением кода на входе ЗМ.

Сформированный в ЛСАМ код загружается в регистр адреса микрокоманд (РАМК) и под действием сигнала общего строба (ОС) выдается на адресные линии (МАО-МА8) через выходные буферы адреса строки (БАС) и адреса колонки (БАК). БАС дополнительно управляется сигналом разрешения выдачи адреса строки -- РС. Данные на выходе БАС (МА4-МА8) кодируют номер одной из 32 строк матрицы памяти микрокоманд, а на выходе БАК (МАО-МА3) -- одной из 16 колонок. Матричная организация массива адресов упрощает логику формирования следующего адреса и приводит к минимизации количества выводов БМУ.

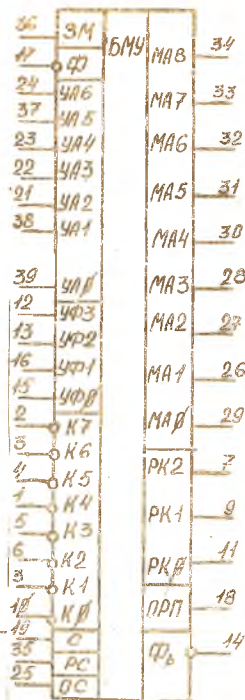
Кроме формирования адреса БМУ может выполнять следующие микрооперации:

прием начального адреса микрокоманд по шинам КО-К7. Данные с линий К4-К7 переносятся на разряды РАМК, соответствующие выходам колонок МАО-МА3, а с линий КО-К3 -- на разряды, соответствующие выходам строк МА4-МА7. Старший разряд РАМК устанавливается в нулевое состояние. При выполнении операции занесения начального адреса уровень сигнала на входе ЗМ должен соответствовать единичному значению;

хранение и анализ четырех разрядов кода команды (КО-К3) на регистре команд РК;

выдачу разрядов (КО-К2) в вычислительную систему для дальнейшего использования;

запоминание сигналов в триггерах C и Z , поступающих по линии Ф, и условный переход по их значениям. В частном случае на вход Ф могут поступать сигналы переноса и сдвига, возникающие при выполнении операций в ЦАП;



Р и с . 4

Т а б л и ц а 5

Контакт	Обозначение	Наименование	Тип выхода	Уровень активности
I...4	K4...K7	Входы первой части команды		Лог. ϕ "
5, 6, 8, 10	K ϕ ...K3	Входы второй части команды		Лог. ϕ "
7, 9, II	PK2...PK ϕ	Входы второго разряда регистра	Открытый коллектор	
I2, I3	УФ3...УФ2	Входы управления занесения и хранения флажков		Лог. 1"
I4	Φ_B	Выход признаков	Три состояния	Лог. ϕ "
I5, I6	УФФ...УФ1	Входы управления выдачей флажков		Лог. 1"
I7	Φ	Вход признаков		Лог. ϕ "
I8	СРП	Выход строба разрешения прерывания	Обычный выход	Лог. 1"
I9	С	Вход синхронизации		Лог. 1"
20		Общий		Лог. 1"
21...24, 37...39	УА ϕ ...УА6	Входы управления РАМК		Лог. 1"
25	ОС	Вход общего строба		Лог. 1"
26...29	МА ϕ ...МА3	Выходы адреса колонки микрокоманды	Три состояния	
30...34	МА4...МА8	Выходы адреса строки микрокоманды	Три состояния	
35	РС	Вход разрешения выдачи адреса строки		Лог. 1"
36	ЗМ	Вход загрузки адреса микрокоманды		Лог. 1"
40		Питание		

выдачу по линии Φ_B на вход ЦПЭ или других устройств значений признаков, хранящихся в триггерах С и Z, единичного или нулевого уровня;

формирование сигнала запроса прерывания СРП при появлении на шине МА адреса, соответствующего пятнадцатой ячейке ПЗУ,

$[(MA4-MA8)=00000, (MA0-MA3)=1111];$

запрещение выдачи адреса строки РС.

Последние две операции используются при организации обработки прерываний в вычислительной системе.

Выполнение очередной команды вычислительной системы начинается с загрузки в ВМУ кода операции по шинам К0-К7. При этом вход загрузки адреса $ЗМ=I$. Сигнал $ЗМ = I$ блокирует функции переходов на шинах АС0-АС6. Однако при $ЗМ = I$ возможна запись и считывание РК, реализация всех функций управления признаками. По фронту синхроимпульса данные с К0-К7 загружаются в регистр микрокоманд РМК и через выходные буферы БАС и БАК поступают в регистр адреса ЗУ микрокоманд (ЗУМК). Из ЗУМК считывается первая микрокоманда, с которой начинается выполнение данной команды. Микрокоманда содержит всю информацию, необходимую для управления вычислительной системой в данный момент времени. Микрокоманда состоит из поля микрооперации и поля адреса следующей микрокоманды. В поле адреса указывается не абсолютный адрес микрокоманды, а информация о способе определения адреса следующей микрокоманды. Эта информация из ЗУМК передается на шины УА0-УА6 ВМУ и схемой ЛСАМ преобразуется в абсолютный адрес. При этом сигнал $ЗМ$ необходимо установить равным нулю. Состояние адресных шин МА в зависимости значения сигнала $ЗМ$ иллюстрирует табл. 6.

Т а б л и ц а 6

ЗМ	Адрес следующей строки					Адрес следующей колонки			
	МА8	МА7	МА6	МА5	МА4	МА3	МА2	МА1	МА0
0	Смотри табл. 8.								
1	0	К3	К2	К1	К0	К7	К6	К5	К4

Одновременно с формированием адреса следующей микрокоманды происходит загрузка и чтение информации регистра признаков (флаги C, Z). Запись информации производится по фронту синхроимпульса, а чтение при сигнале $OC=I$. Если $OC=0$, то Φ находится в третьем состоянии. Функции управления входными и выходными сигналами схемы признаков задаются полем УФ0-УФ3, входящим в формат микрокоманды (табл. 7).

Т а б л и ц а 7

Группа функций	Мнемоника	Содержание функции	Код функций			
			УФ-3	УФ-2	УФ-1	УФ-0
Установка по входу	<i>SCZ</i>	Установить <i>C</i> и <i>Z</i> - флаги			0	0
	<i>STZ</i>	Установить <i>Z</i> - флаг			0	1
	<i>STC</i>	Установить <i>C</i> - флаг			1	0
	<i>HCZ</i>	Сохранить состояние <i>C</i> и <i>Z</i> - флагов			1	1
Выдача состояния по выходу	<i>FF0</i>	Выдать ЛОГ " ϕ "	0	0		
	<i>FFC</i>	Выдать состояние <i>C</i> - флага	0	1		
	<i>FPZ</i>	Выдать состояние <i>Z</i> - флага	1	0		
	<i>FPI</i>	Выдать ЛОГ "1"	1	1		

Таким образом, БМУ реализует принцип принудительной адресации микрокоманд. Однако в целях экономии оборудования возможна и естественная адресация, при которой ЗМ \Rightarrow 1 и вводится дополнительный счетчик микрокоманд. Переход от данной ячейки возможен не к любой ячейке ЗУМ, а лишь к определенной группе, устанавливаемой функцией перехода, действующей на шине УА. Виды переходов БМУ представлены в табл. 8.

Первые четыре перехода под действием функций *JCC*, *JZR*, *JCR* и *JCE* являются безусловными. Адрес следующей микрокоманды формируется загрузкой группы разрядов Y_i , принадлежащих функции перехода, в выходные регистры строки или столбца с сохранением неизменными части разрядов M_i предыдущего адреса. Например, при переходе *JCE* адрес следующей микрокоманды будет определяться содержимым разрядов $MA0-MA2$. при этом значения разрядов $MA0-MA3$, $MA8$, $MA7$ останутся такими же, как у предыдущей микрокоманды. Кроме того, при таком виде перехода содержимое трех разрядов РК выдается на шину (РК0-РК2), что позволяет другим устройствам по необходимости принимать и использовать этот код. Остальные переходы являются условными: адрес следующей ячейки ЗУ УМК зависит от состояния триггеров флаговой логики *F*, *C*, *Z*, содержимого регистра команд РК0-РК3 или кодовой комбинации на линиях К4-К7. Например, при переходе *JCF* поле возможных адресов следующей

Т а б л и ц а 8

Обозначения	Назначение	Состояние управляющих входов								Адрес следующей строки						Адрес следующей колонки			
		УЛ6	УЛ5	УЛ4	УЛ3	УЛ2	УЛ1	УЛ0	УЛ7	УЛ8	УЛ9	УЛ10	УЛ11	УЛ12	УЛ13	УЛ14	УЛ15	УЛ16	УЛ17
ICC	Переход в текущей колонке	0	0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
IZR	Переход в следующую строку	0	1	0	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
ICR	Переход в текущей строке	0	1	1	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
ICE ₁	Переход в текущей колонке в группе адресов строк	1	1	1	0	У2	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
IFL	Переход по содержанию триггера Ф	1	0	0	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
ICF	Переход по содержанию триггера С	1	0	1	0	У2	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
IZF	Переход по содержанию триггера Z	1	0	1	1	У2	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
IPR	Переход по содержанию триггера R	1	1	0	0	У2	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
ILL	Переход по левым разрядам регистра команд	1	1	0	1	У2	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
IRL	Переход по правым разрядам регистра команд	1	1	1	1	1	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4
IPX ₂	Переход по разрядам команд K4 + K7	1	1	1	1	0	У1	У0	У4	У3	У2	У1	У0	У4	У3	У2	У1	У0	У4

Примечания. 1. Выходы P40 ... P42 на внешнюю шину.

2. Занесение информации с шин (K4 - K3) в P4.

микрокоманды определяется содержимым разрядов $УА0-УА2$ и признака $С$. При этом значения разрядов $МА8, МА7, МА3$ по сравнению с предыдущей микрокомандой не изменяются. В зависимости от значения признака $С$ номер колонки следующего адреса может быть при $М3 = 1$ $Ю11$ или $Ю10$, при $М3 = 0$ - $Ю011$ или $Ю010$.

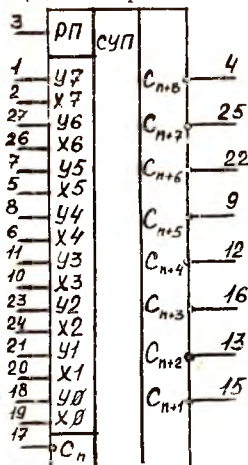
Переходы JPR, JLL, JRL можно использовать только в том случае, если загружен регистр команд БМУ, информация в которой поступит после выполнения перехода JPX .

В общем случае адрес следующей микрокоманды определяется разрядами, указанными в поле перехода $УАi$, разрядами, сохранившимися от предыдущей команды $Мi$, и кодом условий (F, C, Z, PK_i, K_i). Адрес следующей команды при $ЗМ = 1$ определяется из табл. 6.

Как правило, БМУ используется в качестве элемента блока центрального управления операционных устройств, обеспечивающих взаимодействие ЦП, ВУМК, оперативной памяти и периферийных устройств. Однако возможно и его автономное применение, например, в схемах контроллеров.

3. СХЕМА УСКОРЕННОГО ПЕРЕНОСА

Схема ускоренного переноса (СУП) предназначена для повышения быстродействия многоразрядного процессора, состоящего из нескольких ЦПЭ. Ее применение уменьшает длительность выполнения арифметических



Р и с. 5

операций за счет одновременного формирования сигналов переноса в группе ЦПЭ. Одна схема ускоренного переноса позволяет организовать сумматор с параллельным переносом, состоящий из 8 ЦПЭ. Условные обозначения СУП приведены на рис. 5, а назначение выводов показано в табл. 9.

Каждый из элементов ЦПЭ вырабатывает на своих выходах X и Y сигналы подготовительных функций переноса, которые подаются на соответствующие входы групповых переносов X_i и Y_i СУП. СУП формирует сигналы переноса на выходах ($C_{n+1} - C_{n+7}$), которые должны быть соединены с выходами $С1$ ЦПЭ. Выход сигнала разрешения переноса в следующую группу C_{n+8} имеет три состояния и управляется с помощью специального сигнала $Н1$.

Т а б л и ц а 9

Контакт	Обозначение	Наименование	Тип выхода	Уровень активности
1,2,5...8, 10,11 18...21,23 24,26,27	XQ ... X7 YQ ... Y7	Входы групповых переносов		Лог "1"
3	РП	Вход разрешения переноса C_{n+8}		Лог "0"
4	C_{n+8}	Выходы переноса	Три состояния	Лог "0"
9,12,13, 15,16, 22,25	$C_{n+1} \dots C_{n+7}$		Два состояния	
28		Питание		
17	C_n	Вход переноса		Лог "0"
14		Общий		

4. МНОГОРЕЖИМНЫЙ БУФЕРНЫЙ РЕГИСТР

Многорежимный буферный регистр (МБР) является универсальным 8-разрядным регистром с выходными каскадами, имеющими три устойчивых состояния, и логикой управления, позволяющей организовать на основе МБР различные типы интерфейсных и вспомогательных устройств, например: регистры данных, мультиплексоры, двунаправленные шинные формираторы, устройства запроса прерываний и т.д.

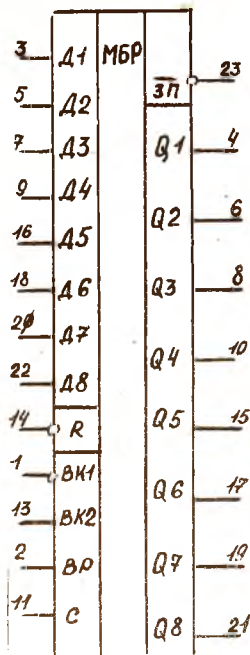
Условное обозначение МБР указано на рис. 6, а назначение выводов — в табл. 10.

Структурная схема МБР приведена на рис. 7. Информация поступает на входы $D_1 - D_8$ регистра P , собранного на одноканальных D - триггерах. Управление режимами работы МБР осуществляется с помощью сигналов, поступающих на входы ВК1, ВК2, ВР, С.

Запись информации происходит при условии

$$PD = (\overline{BK1} \wedge BK2 \wedge BP) \vee (C \wedge \overline{BP}) = 1.$$

Выдача информации производится при $BD = (BP \vee \overline{BK1} \wedge BK2) = 1$, в этом случае выходные буферы будут открыты и содержимое регистра P передается на выходные шины $Q1 - Q8$.



Р и с. 6

В режиме хранения информации ($ВД = 0$) шины $Q1 - Q8$ находятся в высокоомном состоянии. Передача информации будет происходить в том случае, если $ПД = ВД = 1$.

В состав МБР входит схема, предназначенная для выработки сигналов запроса прерывания. Она состоит из триггера прерывания $ТП$ и соответствующих логических схем. Принято, что МБР находится в состоянии прерывания, когда на выходе $ЗП$ установлен логический ноль. Это условие обеспечивает прямое соединение выхода $ЗП$ с входами запроса блока приоритетного прерывания, которые управляются низким уровнем.

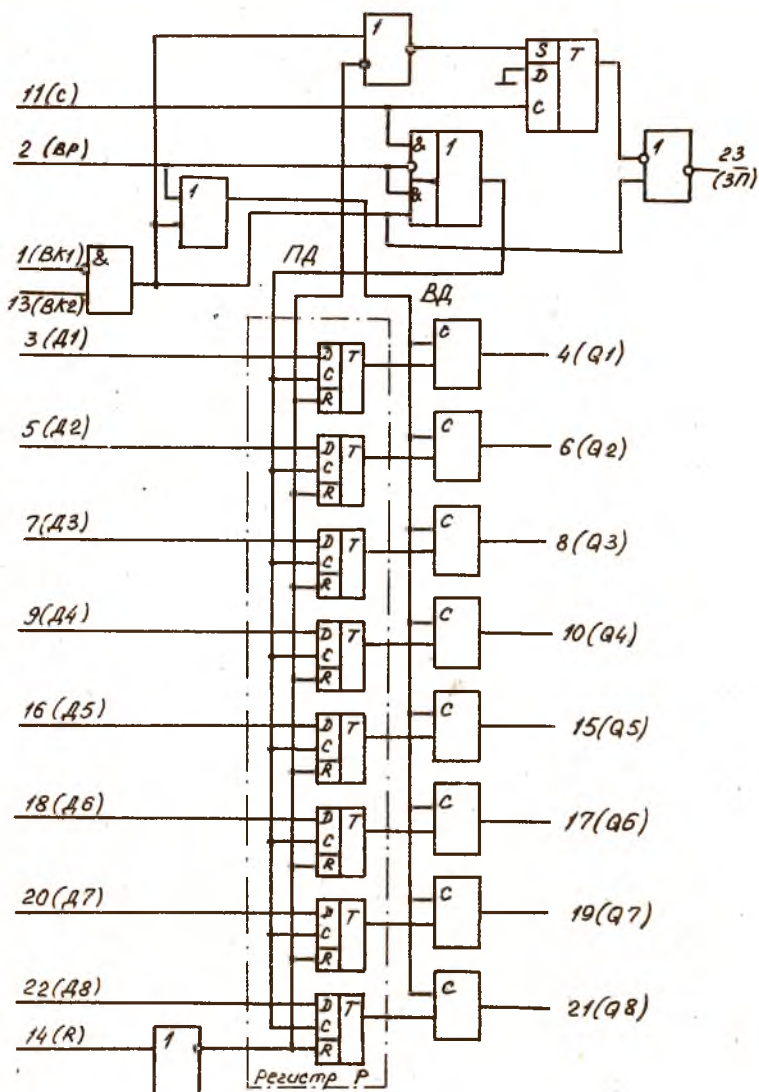
Сброс запроса прерывания ($ЗП = 1$) осуществляется при соблюдении условия $R \vee BK_1 \wedge BK_2 = 1$, сигнал запроса прерывания ($ЗП = 0$) формируется при $(\overline{BK_1} \wedge BK_2) \vee C = 1$.

При работе в режиме записи информации, когда $ВР = 0$, сигнал $С$ производит запись информации в регистр $Р$ и установку $ТП$ в 0.

Установка МБР в исходное состояние производится по выходу $Р$. При этом регистр $Р$ устанавливается в ноль, а $ТП$ - в единицу.

Т а б л и ц а 10

Контакт	Обозначение	Наименование	Тип выхода	Уровень активности
1, 13	BK_1, BK_2	Входы выбора кристалла		Лог "0" (BK_1) Лог "0" (BK_2)
2	$ВР$	Вход выбора режима		
3, 5, 7, 9, 16, 18, 20, 22	$D1 \dots D8$	Входы информации		
4, 6, 8, 10, 15, 17, 19, 21		Выходы информации	Три состояния	
11	$С$	Вход строба		Лог "1"
12		Общий		
14	R	Вход установки нуля		Лог "0"
23	$ЗП$	Выход запроса прерывания	Два состояния	
24		Питание		

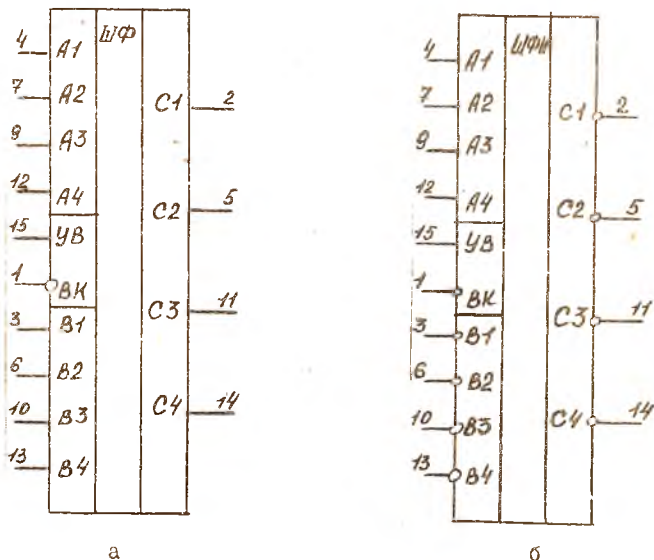


Р и с . 7

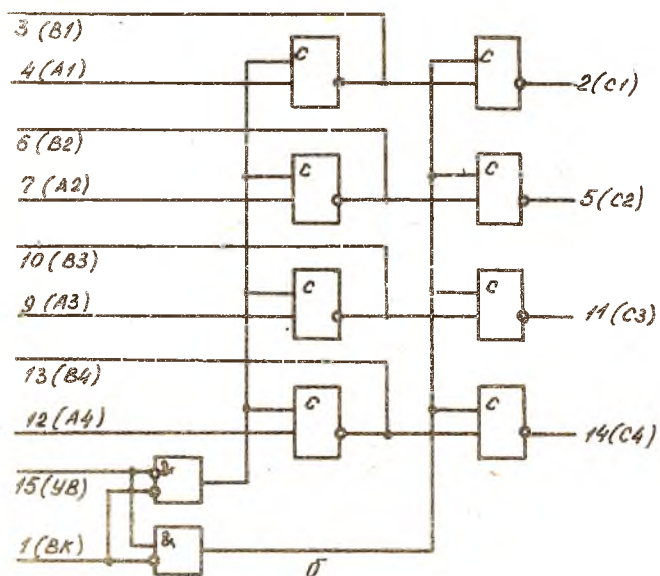
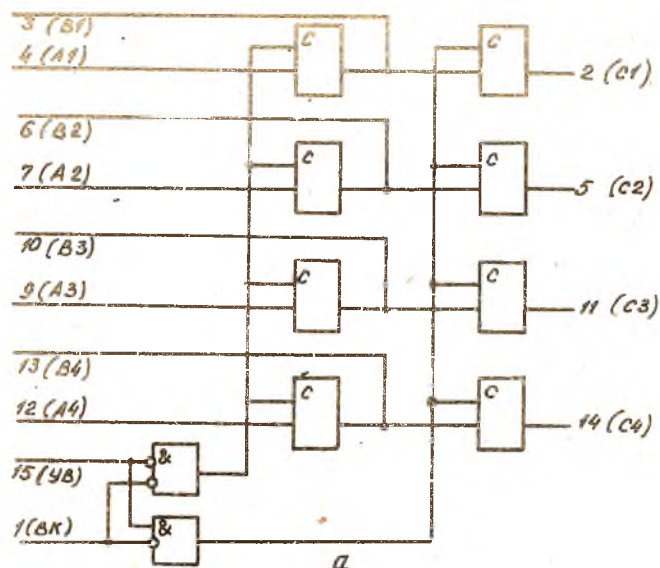
В соответствии с приведенными логическими выражениями для ПД, Вд и ЗП очевидны способы использования сигналов ВК1, ВК2, ВР, С, ЗП для управления МБР.

5. ШИННЫЕ ФОРМИРОВАТЕЛИ

Шинные формирователи (ШФ) предназначены для организации магистральной системы связи между различными устройствами. Они являются параллельными двунаправленными формирователями сигналов и представляют собой 4-канальные коммутаторы, имеющие в каждом канале одну шину только для приема информации, одну шину только для выдачи информации и одну двунаправленную шину. Выходные шины ШФ реализованы на элементах с тремя состояниями. Применение ШФ позволяет также увеличить нагрузочную способность схем, на выходе которых они применяются. В К589АИ16 информация коммутируется без изменений, а в К589АИ26 с инверсией. Условные обозначения ШФ приведены на рис. 8(а,б), а назначение выводов дано в табл. II. Управление режимом работы и направлением передачи в ШФ осуществляется с помощью сигналов, подаваемых на входы ВК и УВ (табл. I2).



Р и с. 8



Р и с. 9

Т а б л и ц а I I

Контакт	Обозначение	Наименование	Тип выхода	
I	ВК	Вход выборки кристалла		Лог "0"
2, 5 II, I4	CI...C4	Выходы информации	Три состояния	
3, 6 IO, I3	BI...B4	Входы / выходы реверсивной передачи информации	Три состояния	
4, 7 9, I2	AI...A4	Входы информации		
8		Общий		
I5	УВ	Вход управления выдачей информации		
I6		Питание		

Т а б л и ц а I2

Логическое состояние по входам		Направление передачи	Выходы в выключенном состоянии
ВК	УВ		
0	0	От входа А на выход В	С
0	I	От входа В на выход С	В
I	I	Передача отсутствует	С, В

Структурные схемы ШФ и ШФИ приведены соответственно на рис. 9 (а, б).

6. БЛОК ПРИОРИТЕТНОГО ПРЕРЫВАНИЯ

Блок приоритетного прерывания (БПП) предназначен для использования в многоуровневых подсистемах прерываний. Подсистемой прерываний (ПП) называют совокупность аппаратных и программных средств, обеспечивающих изменение процесса обработки информации в зависимости от определенных программно-непредсказуемых ситуаций.

В функции ПП входит:

- иницирование прерывания от источников прерывания и формирование запросов на прерывания в соответствии с требуемым приоритетом;
- определение допустимого момента прерывания и запоминание необходимой информации о прерванной программе. Выбор программы обработки прерывания и обеспечение перехода к ней;
- выполнение программы обработки прерываний;
- обеспечение возврата к прерванной программе.

Часть этих функций реализуется с помощью БПП. Условное обозначение БПП приведено на рис. 10, структурная схема на рис. 11, а назначение выводов — в табл. 13.

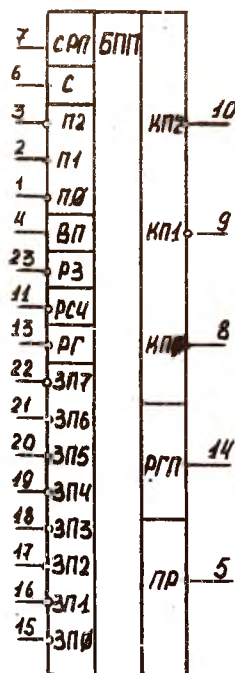
БПП может выполнять следующие действия:

1. Запись 8 запросов на прерывание и выбор запроса с наибольшим приоритетом.

Запросы, поступающие в произвольные моменты времени, фиксируются в регистре запросов прерывания (РЗП). Запись запросов прекращается на время нахождения триггера прерывания (ТП) в активном состоянии. Сигнал запрета записи новых запросов формирует триггер запрета прерываний (ТЗП), управляемый ТП. При одновременном поступлении сигналов по линиям (ЗПО—ЗП7) в РЗП будет записан лишь запрос с наивысшим приоритетом, а остальные запросы в РЗП не фиксируются. Наивысшим приоритетом обладает вход ЗП7, наименьшим — ЗПО.

В БПП возможно программное изменение приоритетов путем маскирования запросов прерывания. Реализация этого способа требует дополнительных аппаратных и программных средств. Например, вычислительная система может быть защищена от прерываний на период особо важной работы, если в формате микрокоманды предусмотреть специальный разряд маски, соединенный со входом ЗП7. Если в этом разряде записаны 0, то запись запросов в РЗП запрещена, при единичном значении кода блок прерывания воспринимает запросы.

2. Сравнение приоритета поступившего запроса с приоритетом выполняемой в данный момент программ и формирование кода прерывающей программы.



Р и с. 10

1	2	3	4	5
8,9,10	КПФ + КП2	Выходы кода прерывания	Открытый коллектор	Лог "0"
11	РСИ	Вход разрешения считывания КИ		Лог "0"
12		Общий		
13	РГ	Вход разрешения группы прерывания		Лог "1"
14	РП	Выход разрешения группы прерывания	Два состояния	Лог "1"
15+22	3П0-3П7	Входы запроса прерывания		Лог "0"
23	РЗ	Вход разрешения записи		Лог "0"
24		Питание		

Восьмиразрядный унитарный код РЗп преобразуется шифратором приоритета (ШП) в позиционный код, поступающий на один вход схемы сравнения СС. Второй вход СС присоединен к выходу регистра текущего состояния (РТС), информация в который записывается при наличии сигналов выборки кристалла (ВК) и разрешения записи (РЗ). Сигналы ВК и РЗ формируются вычислительной системой, в которой используется БПП. Если приоритет запроса выше (код с выхода ШП больше кода РТС), то на выходе СС появляется единичный сигнал. Этот сигнал в дальнейшем используется при формировании сигнала подтверждения прерывания (ППР). Одновременно код с выхода ШП поступает на выходные вентили кода прерывания (выходы КИ0-КИ2), информация с которых используется вычислительной системой в процедуре обработки прерываний. Если на входах (3П0-3П7) отсутствуют запросы, то ШП вырабатывает сигнал "ШП", который закрывает выходные вентили, запрещает выработку сигнала ППР и открывает вентиль, формирующий сигнал РП разрешения работы другого БПП с более низким приоритетом. Считывание (КИ0-КИ3) происходит при условии $РСЧ \wedge РГ \wedge ШП_0 = 1$.

3. Формирование сигнала подтверждения прерывания ППР. Этот сигнал используется вычислительной системой для организации начала процедуры обработки прерывания. Триггер прерывания устанавливается в активное состояние по фронту синхроимпульса С, если выполняются следующие условия:

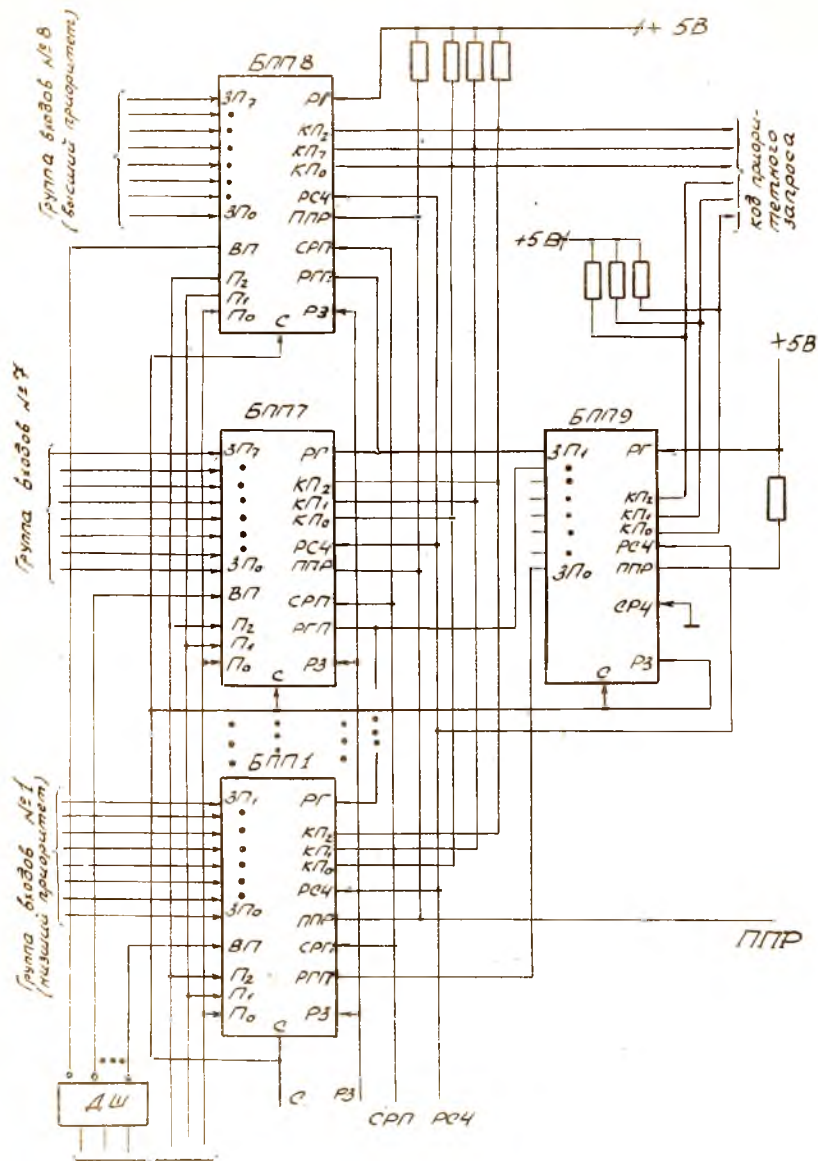
а) сигнал на выходе СС равен 1 или сигнал на входе ВП=0. При ВП=0 потенциал шины В равен 1;

б) сигналы на шинах разрешения работы данной БПП (РГ), разрешения стробирования прерывания (СРП) и Π_0 равны 1;

в) ТЭП находится в нулевом состоянии. Длительность сигнала подтверждения прерывания определяется периодом синхроимпульсов по входу С.

4. Расширение числа воспринимаемых запросов на прерывание. Систему прерывания на любое количество входов можно получить за счет увеличения числа БПП и соответствующего их соединения. Для этого в схеме БПП предусмотрены вход сигнала РГ, который обычно вырабатывается БПП с более высоким приоритетом, и выход сигнала РПН разрешения работы БПП с более низким приоритетом. РПН вырабатывается при выполнении следующих условий: $РГ=1$, код текущего состояния не соответствует данной БПП ($В=1$), отсутствуют запросы прерывания на входах $\Pi_{10}-\Pi_{17}$ ($\Pi_{10}=0$). Пример системы прерываний на 64 входа приведен на рис. 12. Система состоит из восьми БПП, образующих приоритетную цепочку, и БПП9, в функции которого входит кодирование номера БПП, работающего в данный момент времени. Выдаваемый в вычислительную систему код запроса прерывания имеет 6 разрядов, из которых три младших кодируют номер запроса внутри БПП, а три старших - номер работающего БПП. Высший приоритет имеет БПП8, а низший - БПП1. Три старших разряда кода текущего прерывания управляют выборкой необходимого БПП. С этой целью выходы ДШ соединены со входами ВП соответствующего блока прерываний.

Для начала работы БПП необходимо $\Pi_{10}=0$, $РЧ=0$, $РГ=1$, $\Pi_{10}=1$, в РТС записать код текущего приоритета. Запись производится сигналом РЗ. По фронту сигнала РЗ ТЭП сбрасывается в 0, и на РЗП приходит сигнал, разрешающий запись запросов прерывания. Сигналы запросов прерывания должны находиться на входах $\Pi_{10}-\Pi_{17}$ до тех пор, пока ТЭП не установится в единицу. Это связано со схемой РЗП, которая реализована на триггерах типа "зашелка" (запись осуществляется при переходе сигнала из "0" в "1"). Результат анализа содержимого РЗП и РТС формируется СС и в момент прихода сигнала СРП передается на вход Д триггера ТП. Обычно СРП вырабатывается БМУ после выполнения каждой команды. По фронту синхроимпульса С ТП установится в состояние, соответствующее потенциалу на входе Д. Если $Д=1$, то ТП переходит в единичное состояние. Сигнал подтверждения прерывания ППР снимается с инверсного выхода ТП и передается в вычислительную систему. Активным уровнем сигнала ППР является "0". ППР устанавливает ТЭП в единичное состояние, запрещая тем самым прием новых запросов в РЗП и подготавливая ТП к сбросу в нулевое состояние (смотри состояние конъюнктора на входе Д ТП). Вто-



Код текущего
состояния

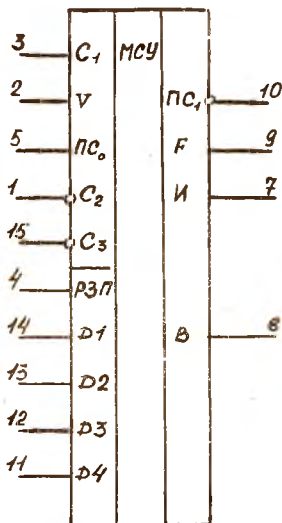
Рис. 12

рой импульс по входу С установит ТП в нуль, что означает окончание сигнала ППР. Чтобы исключить возможность прерывания по одному и тому же запросу или запросам с меньшим приоритетом, код обрабатываемого запроса (КП0-КП3) рекомендуется записывать в РТС на время обработки прерывания.

7. МНОГОФУНКЦИОНАЛЬНОЕ СИНХРОНИЗИРУЮЩЕЕ УСТРОЙСТВО

Многофункциональное синхронизирующее устройство (МСУ) выполняет функции деления частоты с переменным коэффициентом, формирования дискретной задержки импульсов, пачки импульсов с требуемым количеством импульсов, формирования импульсов заданной длительности. Условное графическое обозначение МСУ показано на рис. 13, назначения выводов

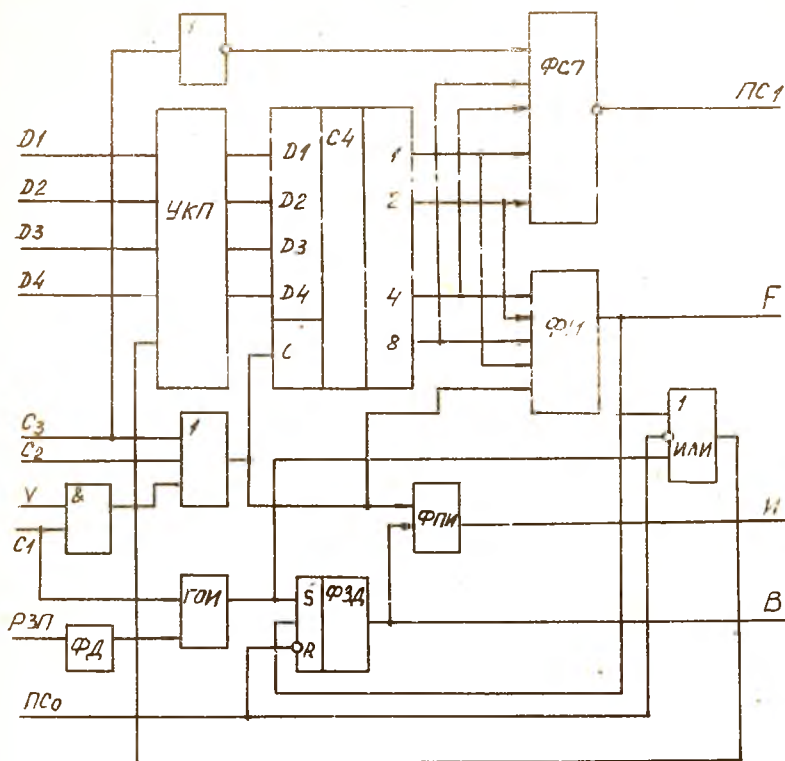
Т а б л и ц а 14



Р и с. 13

приведены в табл. 14, а структурная схема изображена на рис. 14. Схема содержит программируемый делитель частоты, состоящий из 4-разрядного синхронного двоичного счетчика с параллельным переносом (СЧ), схемы установки коэффициента пересчета

Номер вывода	Обозначение	Назначение
1	C_2	Вход переноса синхронизации
2	V	Вход формирователя длительности
3	C_I	Вход синхронизации
4	РЗП	Вход разрешения записи
5	PC_0	Вход переноса
6	B	Выход формирователя длительности
7	$И$	Выход формирователя пачки импульсов
8	I	Общий
9	F	Выход делителя
10	PC_I	Выход переноса
11...14	$D 4...D I$	Входы предустановки информации
15	C_3	Вход переноса синхронизации
16	$И_{сс}$	Питание



(УКП) и специальные схемы формирователей. В состав формирователей входят генератор одиночных импульсов (ГОИ), формирователи сигнала переноса (ФС), импульсов выходной частоты (ФИ), переменной пачки импульсов (ФПИ), импульса заданной длительности (ФЗД), входного импульса (ФД). Для увеличения разрядности можно объединить несколько схем ИСУ. Для этого предназначены входы IC_0 , C_2 , C_3 и выход IC_I . При использовании одной микросхемы на входы IC_0 , C_2 , C_3 подается ноль.

Деление частоты выполняет *СЧ*, на выходе *F* которого с помощью *ФИ* импульсы появляются каждый раз, когда все разряды устанавливаются в единицу. На вход *СІ* подаются импульсы тактовой частоты, а на вход *V* - сигнал разрешения положительной полярности. Предварительная установка *СЧ* осуществляется подачей соответствующих кодов со входов *ДІ-Д₄* через *УКП* в момент появления импульса на выходе схемы *ИЛИ*. Код пересчета, который необходимо подать на входы *ДІ-Д₄* для получения нужного коэффициента деления, определяется как $K_n = 2^n - K_g$, где n - число разрядов устройства;
 K_g - коэффициент деления устройства,
 K_n - код пересчета (десятичный эквивалент);

$$K_g = 2^n - K_n.$$

Например, для деления частоты в 7 раз с помощью одного МСУ $K_g = 7$, $n = 4$, $K_n = 9$, т.е. $\overline{D}_1 \overline{D}_2 \overline{D}_3 \overline{D}_4 = 1001$.

В режиме формирования длительности импульса выход *B* необходимо соединить со входом *V*. На вход *РЗП* подается импульс начальной установки. Первый импульс тактовой частоты f , подаваемой на вход *СІ*, переводит с помощью *ГОИ* и *УКП* счетчик в состояние, соответствующее коду пересчета на входах *ДІ-Д₄*. Одновременно триггер *ФЗД* устанавливается в единицу и разрешает прохождение частоты f на вход *СЧ*. Счетчик ведет отсчет импульсов до состояния, когда все триггеры устанавливаются в единицу. При этом на выходе *ФИ* появляется импульс, устанавливаемый *ФЗД* в нулевое положение. На выходе *B* формируется положительный импульс, длительность которого определяется кодом пересчета:

$$t_n = \frac{2^n - K_n}{f} + t_{\text{н}},$$

где f - тактовая частота;
 $t_{\text{н}}$ - длительность импульсов частотой f .

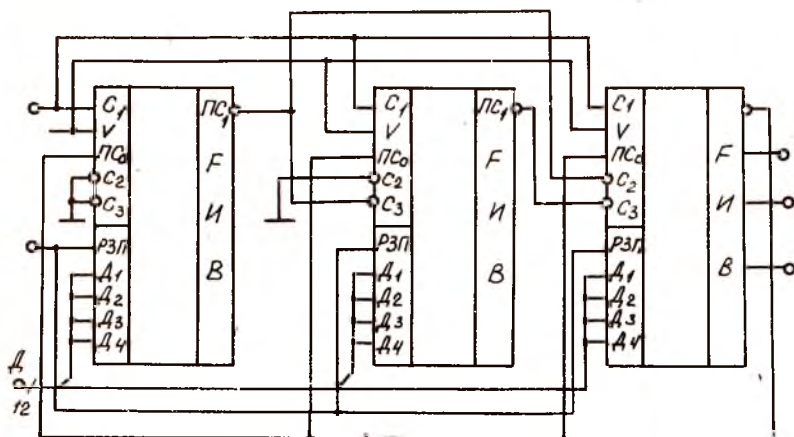
При формировании пачки импульсов режим работы МСУ аналогичен предыдущему. Сигнал с выхода *ФЗД* поступает одновременно на один из выходов *ФПИ*, на другой вход поступает тактовая частота со входа *СІ*. Число импульсов в пачке, формируемой на выходе *У* *ФПИ*, определяется длительностью положительного потенциала на выходе *B* *ФЗД*, т.е. кодом пересчета на входах *ДІ-Д₄*.

Число импульсов в пачке $N = 2^n + 1 - K_n$.

Для реализации режима дискретной задержки необходимо соединить выход В со входом $V1$. Импульс на выходе F появляется через определенное число тактов частоты f после прихода сигнала РЗП. Задержка сигнала на выходе по отношению к сигналу, поступающему на вход С4, определяется кодом пересчета на входах Д1-Д4. Время задержки

$$t_3 = \frac{2^n - K_n}{f} + T_{\text{н}}.$$

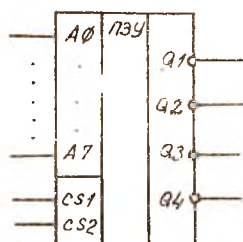
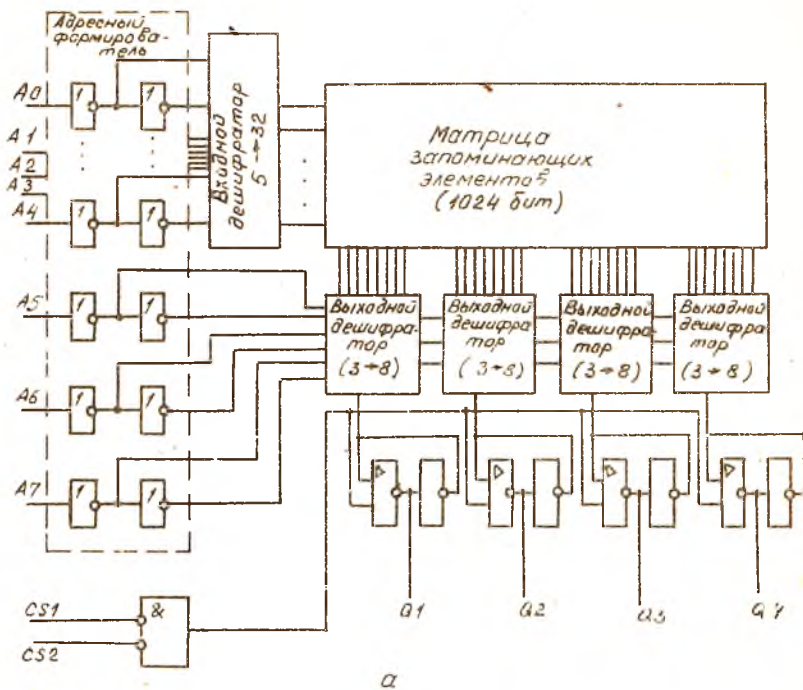
Организация многоразрядного МСУ показана на рис. 15.



Р и с. 15

8. ПРОГРАММИРУЕМОЕ ПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО (ПЗУ)

Запоминающее устройство (К556РТ4) представляет собой БИС ТТЛ типа с диодами Шоттки и выполнено методом планарно-эпитаксиальной технологии, структурная схема приведена на рис. 16,а. Запись информации в ПЗУ производится пользователем путем пережатия никромовых переключателей импульсом тока один раз во время эксплуатации схемы. Считывание информации происходит при подаче 0 на оба входа CS . При любой другой комбинации сигналов на этих входах на выходах ПЗУ имеем единичный потенциал. Считывание информации происходит путем подачи кода



б

Рис. 16

адреса на входы А0-А7 с выхода Q1-Q4. Выходы усилителей считывания выполнены по схеме с открытым коллектором. Входы разрешения выборки CS обеспечивают возможность выбора схемы при объединении ПЗУ в большие массивы.

До программирования в микросхеме по всем адресам и разрядам записаны нули.

Условное обозначение ПЗУ приведено на рис. 16,б.

ПЗУ K556PT5 имеет аналогичную структуру и организацию (512x8).

В качестве ПЗУ могут использоваться микросхемы других серий, отвечающие необходимым требованиям по быстродействию (например, I33, I55 и т.д.).

Л и т е р а т у р а

1. Березенко А.И., Корягин Л.Н., Назарьян А.Р. Микропроцессорные комплекты повышенного быстродействия. - М.: Радио и связь, 1981.

2. Балашов Е.П., Пузанков Д.В. Микропроцессоры и микропроцессорные системы. - М.: Радио и связь, 1981.

3. Качан Б.М., Сташин В.В. Микропроцессоры в цифровых системах. - М.: Энергия, 1979.

С о д е р ж а н и е

Технические характеристики микропроцессорного набора K589.....	3
1. Центральный процессорный элемент (ЦПЭ).....	4
2. Блок микропрограммного управления.....	13
3. Схема ускоренного переноса.....	20
4. Многорежимный буферный регистр.....	21
5. Шинные формирователи.....	24
6. Блок приоритетного прерывания.....	26
7. Многофункциональное синхронизирующее устройство	32
8. Программируемое постоянное запоминающее устройст- во.....	35
Л и т е р а т у р а	37

Составитель - Владислав Германович И о ф ф е

МИКРОПРОЦЕССОРНЫЙ КОМПЛЕКТ К589

Редактор Е.Д.А н т о н о в а
Техн.редактор Н.М.К а л е н ю к
Корректор М.В.п а в л о в а

Подписано в печать 22.12.84.

Формат 60x84 I/I6. Бумага оберточная белая.

Печать оперативная. Усл.п.л. 2,32. Уч.-изд.л. 2,0.

Т. 500 экз. Заказ 1024 Бесплатно.

Куйбышевский ордена Трудового Красного Знамени
авиационный институт имени академика С.П.Королева,
г. Куйбышев, ул. Молодогвардейская, 151.

Областная тип.им. В.П.Мяги, г.Куйбышев, ул.Венцека, 60.