



С.П.Орлов, М.М.Ефремов

МОДЕЛИРОВАНИЕ СИСТЕМ ПАМЯТИ СОВРЕМЕННЫХ ПРОЦЕССОРОВ

(ФГБОУ ВПО «Самарский государственный технический университет»)

Память современных высокопроизводительных вычислительных систем имеет иерархическую структуру. Особенно, это характерно для современных многоядерных процессоров. Один из важнейших вопросов – организация многоуровневой памяти в компьютере, включая кэш-память и оперативную память. Эффективная работа всей системы зависит от типа используемой кэш-памяти, соотношения объемов памяти на всех уровнях, методов обеспечения достоверности разделяемых данных в памяти процессоров, способов замещения строк данных в памяти и многих других факторов.

В связи с этим актуальна задача создания моделирующих систем, которые имитируют работу многоуровневой памяти и позволяют изучить ее свойства на обычных персональных компьютерах.

Теоретические вопросы организации многоуровневой памяти применительно к традиционным архитектурам компьютеров рассмотрены в научных и учебных изданиях [1,2,3,4], где описаны основные типы кэш-памяти.

В докладе описываются имитационные модели многоуровневой памяти современных процессоров, разработанные на кафедре вычислительной техники Самарского государственного технического университета.

Моделирование типовых структур кэш-памяти

Имитационная модель воспроизводит процесс выполнения команд обращения к памяти (чтения и записи). Для этого в программе реализованы модули генерации случайной последовательности команд, случайный выбор операции, модуль алгоритмов замещения строк. Поддерживается моделирование основных типов кэш-памяти процессоров Intel: кэш с прямым отображением, полностью ассоциативный кэш и множественно-ассоциативный кэш. Основное внимание уделено визуализации процессов взаимодействия устройств подсистемы. На рис. 1 представлен вид основного окна имитационной модели.

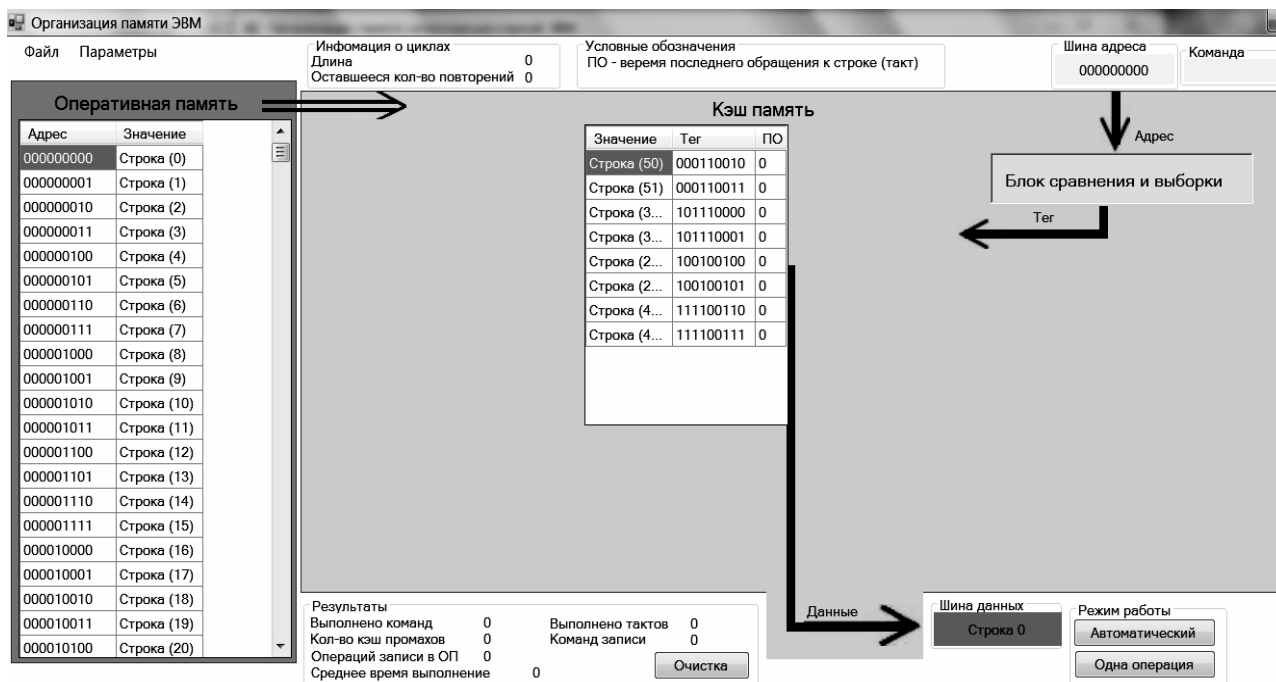


Рис. 1. Интерфейс имитационной модели кэш-памяти

Исходными данными для моделирования являются:

- 1) количество команд обращения к памяти;
- 2) доля команд чтения в последовательности;
- 3) доля команд записи в общей смеси;
- 4) объем оперативной памяти;
- 5) объем кэш-памяти;
- 6) способ организации кэш-памяти: полностью ассоциативная; множественно-ассоциативная; с прямым отображением;
- 7) для множественно-ассоциативной памяти задается количество подмножеств в кэше;
- 8) метод обеспечения когерентности памяти;
- 9) метод замещения строк в кэш-памяти;
- 10) времена чтения и записи в кэш-память;
- 11) времена чтения и записи в оперативную память.

Объем памяти измеряется в строках, время измеряется в машинных тактах. Результаты моделирования содержат: количество выполненных команд; количество выполненных тактов; среднее время выполнения команды; количество промахов при обращении к кэш-памяти.

Окно на рис. 2 позволяет выбрать вид кэш-памяти: полностью ассоциативная, множественно-ассоциативная или с прямым отображением.

При выборе множественно-ассоциативной памяти можно задать количество подмножеств в кэше. Для множественно-ассоциативной памяти или с прямым отображением в модели кэша поле тега дополняется полем индекса. На этой вкладке можно также выбрать метод замещения строк в кэш-памяти: LRU, FIFO, LFU или произвольный. В модели имитируется выполнение циклических участков программ и анализируется количество кэш-промахов для этих случаев.

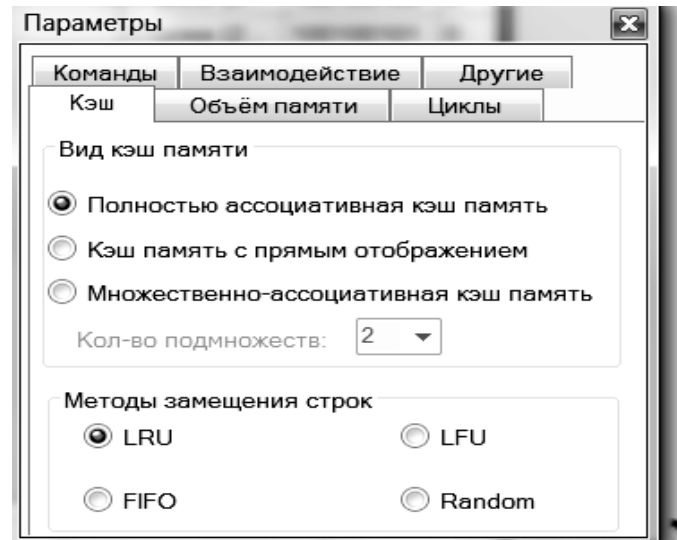


Рис. 2. Задание режимов и параметров имитационной модели кэш-памяти

Возможность автоматического и потактового выполнения операций в модели позволяет изучить процесс в подробностях и обратить внимание на взаимодействие между устройствами памяти.

Моделирование типовых структур памяти многопроцессорных систем

Программа имитационного моделирования позволяет исследовать архитектуру многопроцессорной вычислительной системы типа UMA SMP с шинной организацией, содержащую основную (оперативную), локальную память и кэш-память. В модели представлены шины адреса микропроцессоров и системная шина. Имитационная модель отображает выполнение обращения к памяти. Исходными данными для моделирования являются:

- 1) количество процессоров в системе;
- 2) количество команд обращения к памяти;
- 3) доля команд обращения к памяти в общей смеси;
- 4) доля команд чтения в последовательности;
- 5) доля команд записи в общей смеси;
- 6) конфигурация многопроцессорного вычислительного комплекса;
- 7) объем оперативной памяти;
- 8) объем кэш-памяти;
- 9) объем локальной памяти;
- 10) времена чтения и записи в оперативную память;
- 11) времена чтения и записи в кэш;
- 12) времена чтения и записи в локальную память.

Для конфигурации с локальными устройствами памяти задаются вероятности обращения к ним и основной памяти.

Результаты моделирования содержат: количество выполненных команд; количество выполненных тактов; среднее число тактов на команду; среднюю загрузку системной шины; количество тактов простоя каждого процессора в ожидании завершения операций с памятью или освобождения системной шины; количество кэш-промахов каждого процессора.

Моделирование протокола MESI наблюдения кэш-памяти



Для обеспечения когерентности памяти в многоядерных и мультипроцессорных системах используются аппаратные механизмы, позволяющие решить эту проблему. Такие механизмы называются протоколами когерентности кэш-памяти [1]. Для исследования протокола MESI используется моделирующая программа, которая реализует сеть Петри. Программа предназначена для составления сетей Петри и моделирования выполнения операций с памятью. Она позволяет нарисовать сеть Петри любой сложности и с помощью методов имитационного моделирования изучить выполнение сети в интерактивном режиме. Сеть, соответствующая протоколу MESI, должна обладать свойством безопасности, т.е. в каждый момент времени в любой позиции не должно быть более одной фишки [5]. Это свидетельствует об отсутствии конфликтов и очередей.

Сеть задается матрицами инцидентности позиций. Исследователь определяет режимы записи или чтения и устанавливает законы появления фишек в позициях M,E,S,I, которые реализуются с помощью встроенного генератора случайных чисел. Выполнение имитационного моделирования происходит либо по тактам, что весьма наглядно, либо в автоматическом режиме с настраиваемой частотой повторения. Программа формирует отчет о срабатывании переходов, безопасности сети, наличии очередей и конфликтов.

Разработанная моделирующая программа может быть использована для изучения и других протоколов наблюдения: MOESI, Synapse, Berkeley, Illinois и т.п. [1].

Литература

1. Орлов С.А. Организация ЭВМ и систем: учебник для вузов/ Б.Я. Цилькер, С.А. Орлов. – СПб.: Питер, 2004. – 586 с.
2. Хорошевский В.Г. Архитектура вычислительных систем: учеб. пособие для вузов. – М: Изд-во МГТУ им. Н.Э.Баумана, 2005. – 512 с.
3. Поворознюк А.И. Архитектура компьютеров. Архитектура микропроцессорного ядра и системных устройств: учеб. пособие. – Ч.1. – Харьков, Торнадо, 2004. – 355 с.
4. Орлов С.П., Ефимушкина Н.В. Организация компьютерных систем: учеб. пособие для вузов. – Самара: Самар. гос. техн. ун-т, 2011. – 188 с.
5. Orlov S.P. Application of Petri net model for computational process synchronization// Advances in Modeling & Analysis. Vol. 14, № 3. – AMSE PRESS, 1993. – pp. 1 – 6