

УДК 629.7

ТЕХНОЛОГИЯ ВНУТРИСХЕМНОГО КОНТРОЛЯ БОРТОВОГО ОБОРУДОВАНИЯ НАНОСПУТНИКОВ

Кудрявцев И. А., Федоренко А. А.

Самарский национальный исследовательский университет
имени академика С. П. Королёва, г. Самара

Для подтверждения правильности функционирования электронных схем, поиска и диагностики неисправностей современной электронике давно применяется традиционная контрольно-измерительная аппаратура (КИА), использование которой усложняется в связи с возрастанием сложности схем, сокращением размеров интегральных схем (ИС) и уплотнением монтажа многослойных ПП. Возможность наблюдения сигналов в самом функциональном ядре ИС, когда средства тестирования встраиваются в это ядро или размещаются между ним и контактами ввода/вывода на самом кристалле ИС является сегодня новой и весьма востребованной тенденцией электронной промышленности.

Темой данной работы является внутрисхемный контроль узла бортовой цифровой вычислительной машины (БЦВМ) наноспутника (НС). Обеспечение эффективного контроля работоспособности особенно важно для выявления отказов элементов узла печатной платы, когда нет прямого физического доступа к устройству. Например, при функционировании устройства на орбите. В данном устройстве микроконтроллер MCU1 управляет работой, а MCU2 выполняет мониторинг работоспособности прибора в реальном времени и передает данные на Землю для дальнейшего анализа. На рисунке 1 а) приведена структурная схема БЦВМ НС без указания цепей питания.

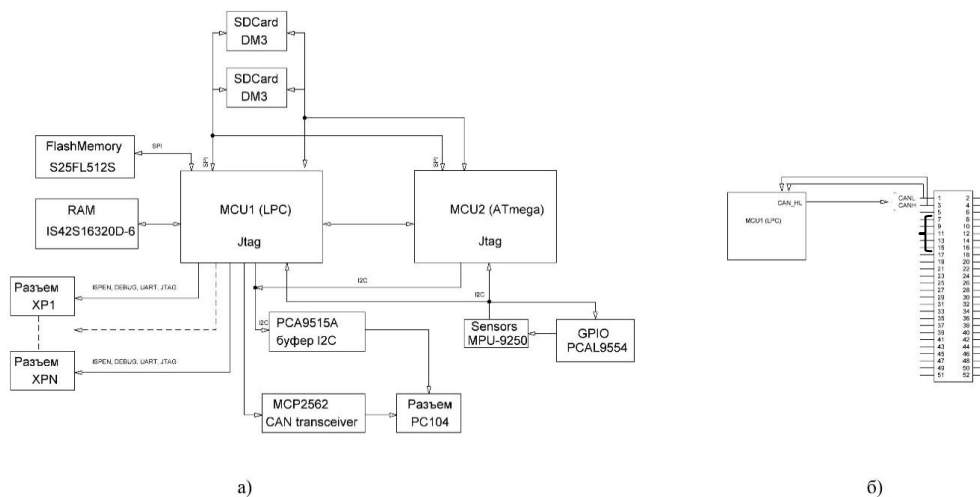


Рис. 1. а) структурная схема БЦВМ НС, б) способ увеличения тестового покрытия для выводов CAN интерфейса

Как можно видеть из рисунка 1 а), в схеме присутствуют два элемента, имеющие встроенную поддержку JTAG, которые позволяют организовать полноценную цепочку граничного сканирования, и ИС, не имеющие такой поддержки. Аналоговые элементы, являющиеся «прозрачными» при тестировании, не показаны. Стандарт JTAG позволяет контролировать неисправности в цепях разнообразных запоминающих устройств (ЗУ), управляемых интегральной схемой, поддерживающей JTAG. Тестирование заключается в выборочной записи в ячейки памяти ЗУ и последующем чтении из них. Желательным результатом тестирования является получение 100% тестового покрытия неисправностей монтажа контактов ЗУ. В данной схеме некоторые ИС являются

прозрачными элементами при JTAG тестировании, так как известен их принцип работы. Однако, для увеличения эффективности диагностики целесообразно внести в схему некоторые изменения. Например, тестирование связей MCU1 с внешним разъемом для цепей интерфейса станет возможным при введении пассивной обратной связи в виде проводной петли, как показано на рисунке 1 б.

Предлагается так же модифицировать электрическую схему подключения ИС, не имеющих JTAG интерфейса в своем составе, но с известным принципом работы (рисунок 2). Необходимо добавить дополнительные электрические связи от контактов ИС и замкнуть их в JTAG цепь (показаны жирными линиями).

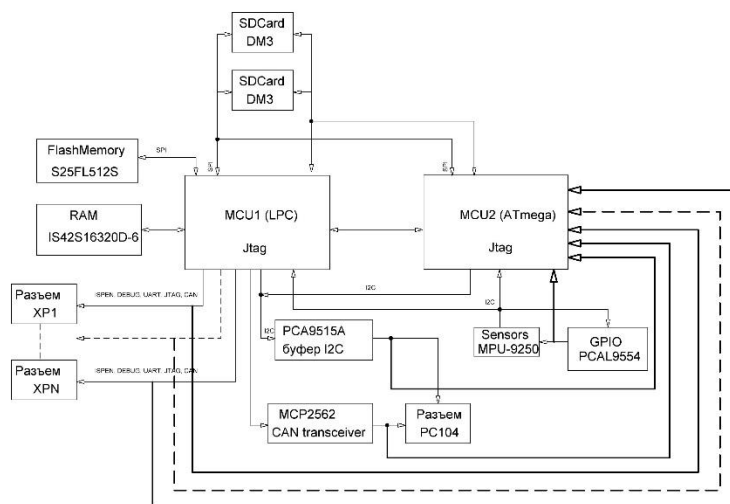


Рис. 2. Увеличение тестового покрытия для ИС

Предлагаемые меры ненамного усложняют топологию, зато существенно повышают эффективность диагностики с применением JTAG, а, следовательно, значительно удешевляют изготовление.