

УДК 681.518.5 (045)

РАЗРАБОТКА КЛАСТЕРНОГО ТЕСТА ДЛЯ ЭЛЕКТРОННОЙ ПЛАТЫ С JTAG ИНТЕРФЕЙСОМ

Росляков А. А., Мартынов В. В., Лавров А. Ю.

Самарский государственный аэрокосмический университет имени академика
С. П. Королёва (национальный исследовательский университет), г. Самара

Увеличение функциональной сложности и плотности монтажа современных электронных средств требует совершенствования методов контроля их качества. Вследствие быстро растущей сложности интегральных микросхем стандартная реализация известных методов тестирования электронных изделий наталкивается на ряд трудностей, таких как долгое время подготовки тестов, неточное тестовое покрытие, слабая диагностика.

Для решения проблем тестирования в современной электронной индустрии широкое распространение получил метод граничного сканирования (**BoundaryScan**), входящий в промышленный стандарт и называемый по имени исследовательской группы, занимавшейся его разработкой — JTAG (Joint Test Action Group).

Электронные схемы включают множество компонентов, не имеющих JTAG-интерфейса, что уменьшает эффективность тестирования за счёт снижения коэффициента тестового покрытия. Подобные электронные компоненты, а также и их группы в технологии граничного сканирования называются кластерами. Любая схемная не-JTAG структура, состоящая из одного или более элементов (необязательно ИС) – цифровых, аналоговых или пассивных – может рассматриваться как кластер, если обеспечены два неперенных схемных условия: JTAG-управляемость входов этой структуры и JTAG-наблюдаемость её выходов [1].

В работе был разработан кластерный тест электронной платы ввода-вывода данных МВД-10. Плата предназначена для обеспечения достоверности выдаваемых данных за счёт сравнения данных, подготовленных различными вычислительными устройствами, и способна принимать и выдавать информацию по линиям связи.

В электронную схему платы включена микросхема D2, являющаяся восьмиразрядным линейным приёмником и представляющая собой кластер. Наличие в составе платы ПЛИС Althera EP3C55 (D5), имеющей JTAG интерфейс, позволяет использовать для тестирования модуля технологию граничного сканирования. Буферные микросхемы связывают JTAG-ПЛИС с выходом по пяти каналам.

Цифровые сигналы, формируемые микросхемой D5, невозможно напрямую подать на DE1046 (D2), так как D2 связана с D5 только выходами, поэтому, чтобы послать на неё тестовый вектор, были использованы буферные микросхемы NI-8586 (D17-21), соединённые со входом микросхемы D5 и внешними выводами электронной платы X1. Соединением определённых выводов разъёма X1 можно подать сигналы на вход D2. С выхода D2 сигнал напрямую возвращается на микросхему D5, где и происходит сравнение его с исходным тестовым вектором.

В качестве примера рассмотрим передачу сигнала по второму каналу. Из микросхемы D5 сигнал поступает на вторую буферную микросхему D18. Выходы D18 имеют внешние выводы на разъёме X1. На этот же разъём выведены входные контакты микросхемы D2. Таким образом, соединив выходные контакты D18 с соответствующими входными микросхемы D2, как показано на рис. 1, можно передать тестовый вектор с D5 на D2.

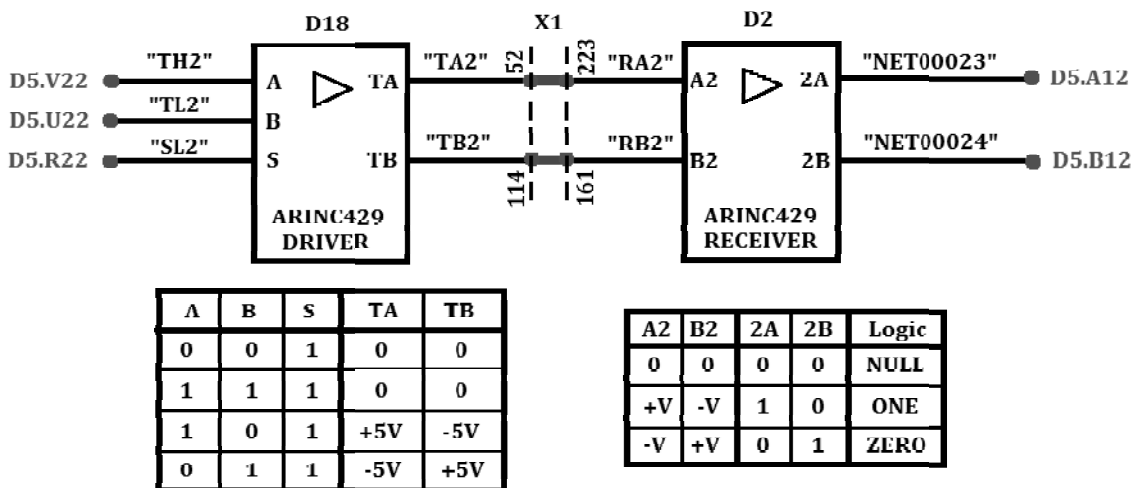


Рис. 1. Схема тестирования кластера электронной платы МВД-10

При выполнении тестирования использовалось программное обеспечение JTAG ProVision. Данная программа позволяет включать в состав тестов модуль кластерного тестирования в виде программ, написанных на языке Python [2]. Программный модуль, написанный на Python, представляет собой функциональное описание кластера и полностью интегрируется в среду JTAG ProVision, позволяя использовать дополнительные возможности JTAG-интерфейса, даже если микросхема не поддерживает в полной мере стандарт IEEE 1149.1.

Алгоритм цифровой обработки входного и выходного сигналов программируется для каждого канала в отдельности, а затем объединяется в единый программный модуль. По инструкции модуля на вход подаётся исходный тестовый вектор, а с выхода считывается результирующий вектор. Идентичность результирующего и исходного векторов указывает на отсутствие дефектов кластера. Различие векторов указывает на дефект в линии связи кластера и JTAG-микросхемы, тип которого позже может быть идентифицирован. Аналогично обрабатываются другие каналы.

Для сравнения были выполнены функциональный и инфраструктурный тесты без использования и с использованием разработанного программного модуля. В результате тестопригодность соединений была увеличена на 3%, контактов – на 4%, а элементов – на 10%. Таким образом, включение в тест JFT-модуля только для одной микросхемы позволило существенно увеличить тестовое покрытие платы.

Библиографический список

1. Городецкий, А. JTAG тестирование кластеров [Текст] / А. Городецкий // Компоненты и технологии. – 2010. – №1. – С. 38-39.
2. Иванов, А. Два подхода к тестированию кластеров в технологии периферийного сканирования [Текст] / А. Иванов // Компоненты и технологии. – 2011. – №10. – С. 203-206.