

МИНИСТЕРСТВО ВЫСШЕГО И СРЕДНЕГО СПЕЦИАЛЬНОГО
ОБРАЗОВАНИЯ РСФСР

КУЙБЫШЕВСКИЙ ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ
АВИАЦИОННЫЙ ИНСТИТУТ имени С. П. КОРОЛЕВА

ИССЛЕДОВАНИЕ МИКРОПРОЦЕССОРА

ЛАБОРАТОРНАЯ РАБОТА

КУЙБЫШЕВ 1979

УДК 681.3

Составители: *Акимов С. Г., Иоффе В. Г., Соколов П. А.*

Утверждена редакционно-издательским
советом института 16.12.77 г.

Цель работы: изучение структуры микропроцессора (МП) и его технических возможностей, приобретение практических навыков работы с МП и экспериментальное исследование основных характеристик МП на лабораторной установке.

1. ТЕОРЕТИЧЕСКИЕ ОСНОВЫ ЭКСПЕРИМЕНТА

Микропроцессором называют функционально законченное устройство программной обработки цифровой информации, реализованное на одной большой интегральной схеме (БИС) или в виде модуля, содержащего БИС центрального процессора (ЦП), местную память, элементы и узлы интерфейса, обеспечивающие связь и совместимость с другими устройствами.

Появление МП приравнивают к самому революционному достижению электроники после изобретения транзистора. По существу МП является первым логическим прибором широко назначения. Главными свойствами МП, обуславливающими их широкое применение, являются низкая стоимость, малые габариты, малая потребляемая мощность, гибкость применения (программируемость). Это привело к тому, что МП стали применять во всевозможных машинах и механизмах, где возникает необходимость программного управления и несложной обработки информации. С разработкой МП вычислительная техника стала использоваться в тех областях, где ранее это считалось экономически невыгодным. Диапазон использования МП в настоящее время чрезвычайно широк: от мини-ЭВМ до бытовой техники.

Основное достоинство МП заключается в том, что он позволяет заменить жесткую аппаратную реализацию сложных электронных устройств функцией программирования. Заменяя программу, записанную в память МП, представляется возможным создавать на его основе многофункциональные устройства различного назначения без существенных изменений электрических схем. Это приводит к значительному снижению затрат на разработку и изготовление ряда изделий.

МП используются в процессорах калькуляторов, встраиваемых вычислителей, мини- и микро-ЭВМ, в качестве программируемого логического элемента, в контроллерах, устройствах программного управления, в качестве составного узла измерительно-вычислительных комплексов.

К недостаткам МП относят невысокое быстродействие и ограниченные функциональные возможности. Однако эти трудности связаны, главным образом с технологическими особенностями изготовления МП и могут быть в ближайшее время преодолены.

1.1. СТРУКТУРА ЦП

В состав ЦП входят блок управления, блок регистров, арифметическое и логическое устройство (АЛУ) и интерфейс процессора (рис. 1).

АЛУ—это основная часть МП, которая содержит набор операций (умножение, сложение, отрицание, сумма по модулю два и т. д.), арифметических (сложение, вычитание, сдвиги, увеличение на 1, уменьшение на 1 и т. д.) и множество других задач, включая сравнение, преобразование кодов.

Блок регистров (БР) предназначен для временного хранения различной информации, участвующей в процессе выполнения программы. Его применение сокращает число обращений к внешней памяти, которое для МП в связи с ограниченным числом контактов БИС ЦП часто связано с параллельно-последовательной передачей слов по байтам или полубайтам. Поэтому максимальное сокращение таких передач значительно повышает производительность МП. Блок регистров состоит из счетчика команд (СК), стека, указателя стека (УС), регистров общего назначения (РОН), регистра адреса (РА), индексного регистра (ИР), регистра состояния (РС), мультиплексоров.

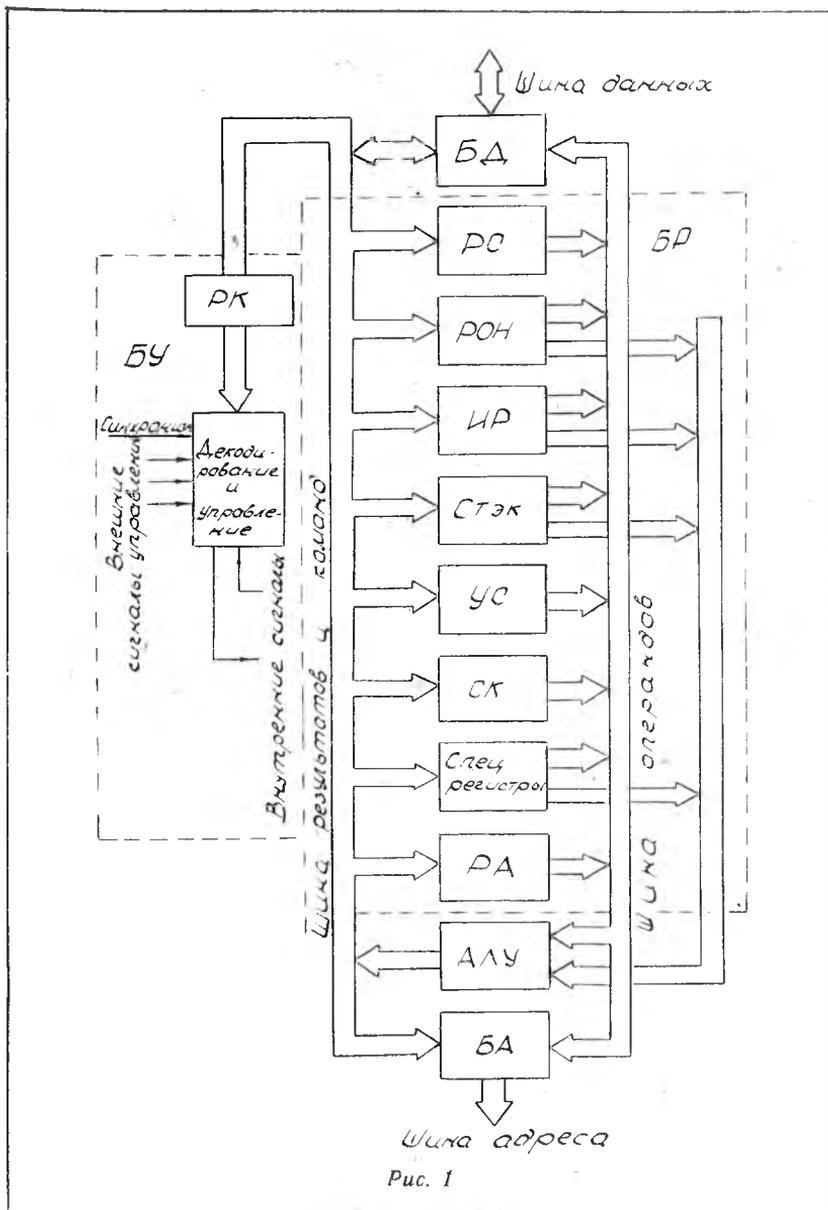


Рис. 1

СК предназначен для приема и хранения текущего адреса и формирования адреса следующей команды, выполняемой в программе. Если программа не имеет разветвлений, то СК увеличивает свое содержимое на 1 для адреса следующей команды. При выполнении некоторых условий содержимое СК видоизменяется таким образом, что следующая выполняемая команда не будет следующей по номеру. Это формирование осуществляется схемой инкрементора (увеличение значения СК на 1 или 2) — декрементора (уменьшение содержимого СК на 1 или 2). Введение этой схемы позволило совместить по времени модификацию адреса с выполнением операций в АЛУ, что увеличивает быстродействие МП при формировании условных переходов.

Стек служит для хранения информации о состоянии процессора в случае прерывания или ветвления программы. Стек может использовать либо специальный набор регистров ЦП (аппаратный стек), либо выделенную область основной памяти (программный стек). В последнем случае обращение к стеку производится через указатель стека, представляющий собой регистр адресации стека. УС хранит адрес ячейки памяти, к которой было последнее обращение. Программный стек позволяет увеличить число задействованных подпрограмм, а аппаратный стек существенно повышает быстродействие их обработки.

РА предназначен для приема и хранения адреса команды или операнда и выдачи его на буферный регистр адреса и схему формирования СК. Индексный регистр — еще один указатель памяти, который хранит базовые адреса массивов. Содержимое ИР суммируется с адресной частью команды для получения адреса, по которому производится обращение к внешней памяти.

Регистр состояния (РС) индицирует состояние результатов выполнения программы как ЦП, так и внешних устройств. На содержимое РС воздействует большинство операций в ЦП. Регистр выдает сигналы или признаки последней операции, выполняемой ЦП. Например, переполнение, результат равен 0, знак результата, вид операции, выполняемой процессором, наличие прерывания и т. д.

Регистры общего назначения являются основными звеньями для движения данных по системе. Они используются для хранения промежуточных результатов, в качестве адресных регистров внешних устройств, для передачи управления при ветвлениях и т. д. В схемах ЦП имеется также ряд специ-

альных регистров, характеристики которых определяются структурой МП и его функциональными особенностями.

Мультиплексоры обеспечивают обмен информации между магистралями адреса или данных и различных регистров.

Блок управления вырабатывает последовательность управляющих сигналов микроопераций, необходимых для выполнения команд, и осуществляет временную синхронизацию работы МП. Блок управления состоит из устройства синхронизации, декодирующего устройства, превращающего внешние команды во внутренние коды ЦП, регистра команд и схем управления узлами МП. В состав БУ некоторых МП входят схемы обработки прерывания, схемы анализа условных переходов, схемы организации прямого доступа к памяти и т. д.

Взаимодействие с внешними устройствами обеспечивается с помощью буфера адреса (БА) и буфера данных (БД). БД — это двунаправленные схемы, соединенные с шиной данных. Они действуют как входные регистры при чтении информации с шины данных и как выходные при передаче информации из ЦП. БА является выходным устройством для выдачи адреса во внешние устройства. Буфера данных и адреса представляют собой формирователи с тремя устойчивыми состояниями.

Конкретные ЦП обычно не содержат всего множества регистров и устройств, представленных на гипотетической структуре (рис. 1). В таких случаях их функции могут выполнять регистры других типов, например РОИ или внешние ячейки памяти.

1.2. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ МП

Разрядность. В настоящее время МП выполняются со следующими разрядностями: 2, 4, 8, 12, 16, а для специальных применений до 32. Некоторые семейства микропроцессорных БИС допускают наращивание разрядности за счет соединения нескольких корпусов МП. Большая разрядность обеспечивает более высокую производительность микропроцессорных систем и более эффективную адресацию памяти.

Команды. Количество и типы команд в значительной степени определяют возможность и производительность МП. У первых МП количество команд не превышало 50, в настоящее время их количество составляет сотни и более (до 1024).

Форматы команд, как правило, короткие и соответствуют одному байту. Поэтому для образования сложных операций, например, требующих обращения к памяти, используются команды из нескольких слов. У некоторых МП команды могут быть двух — и трехбайтовые.

Для команд МП характерны следующие особенности: память обычно адресуется косвенно, т. е. по адресу, указанному в регистрах ЦП; широко применяются команды типа «регистр-регистр»; большинство команд имеют форму микрокоманд (команды двоичной арифметики, логические, условного перехода и т. д.); широко применяются команды вызова подпрограмм, поскольку по подпрограммам выполняются как арифметические операции типа умножения, деления, так и операции ввода-вывода.

Система адресации определяется форматом команд и способами адресации. Особенности системы адресации в МП обусловлены малой разрядностью слов, что приводит к использованию преимущественно одноадресных команд, в которых применяются непрямые способы адресации (косвенную, индексную, относительную, адресацию по указателю и т. д.). Распространены также прямая и непосредственная адресации. Чем больше режимов адресации, тем эффективнее можно использовать МП. Поэтому используются комбинации из различных способов адресации. Выбор конкретной адресации при выполнении команды обычно определяется либо самим кодом операции, либо разрядом признака, связанным с кодом операции.

Возможность прерывания. Средствами прерывания обладают, как правило, все современные МП. Однако многоуровневое прерывание обеспечивается в небольшом числе МП.

Быстродействие. Наиболее простой является оценка быстродействия по времени выполнения регистровых операций (без обращения к внешней памяти). Минимальное время выполнения — 0,02 мкс. Среднее быстродействие — 2—5 мкс.

Особенности программирования. При программировании МП используют машинные языки и языки типа «Ассемблер». Для ввода программ необходимы дополнительные устройства (трансляторы), сложность которых превосходит сложность транслируемых программ. Поэтому отладку рабочих программ осуществляют на более мощных машинах (серийных ЭВМ, мини ЭВМ). Программы такого рода имеют обычно приставку «кросс» (кросс-транслятор, кросс-ассемблер). Наличие кросс-обеспечения является существенной особенностью

микропроцессорных систем. Из языков высокого уровня в стадии разработки находится алгоритмический язык *PL/M* (на основе *PL/1*).

Конструктивно-технологические характеристики. Определяющим фактором при реализации МП является технология. Вид технологии изготовления БИС определяет не только электрические и конструктивные характеристики, но в значительной мере и архитектуру МП. В настоящее время БИС МП изготавливают на основе МОП-транзисторов, ТТЛ, ТТЛ с диодами Шотки (ТТЛШ), инжекционных интегральных логических (ИИЛ) схем.

2. ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

Установка предназначена для исследования четырехразрядного центрального микропроцессорного элемента К584 ИК1 в статическом и динамическом режимах. Структурная схема установки представлена на рис. 2 и состоит из ЦП, блока управления (БУ), запоминающего устройства микропрограмм (ЗУ и РМ), блока внешних устройств (БВУ), обеспечивающих занесение исходной информации в ЦП и считывание полученных результатов (вкладка).

2.1. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР К-584 ИК1

Основные характеристики:

1. Длина слова — 4 бит.
2. Время выполнения команды — 2 мкс.
3. Число команд — 459.
4. Режимы адресации: по указателю, регистровая, непосредственная (адрес-операнд).
5. Количество регистров — 8 РОН, 2 специальных регистра.
6. Количество выводов корпуса — 48.
7. Тип технологии — ИИЛ.
8. Схема легко согласуется с ТТЛ.
9. ОЗУ и ПЗУ стандартные. В зависимости от их типов необходимы устройства согласования с ЦП.
10. Принцип действия параллельный. ЦП допускает возможность наращивания длины слова.
11. Напряжение питания 5В, ток 130 мА.

Таблица 1

Назначение выводов ЦП

Номер контакта	Наименование	Функция	Примечание
1	2	3	4
1	КОП 5		Вход
2	КОП 6	2 бита «Д» поля слова выбора операции	Вход
3	КОП 7	3 бита «И» поля слова	Вход
4	КОП 8	выбора адреса регистра	Вход
5	КОП 9	общего назначения	Вход
6	Сдвиг вправо 2	Двунаправленный вход-выход. Приемник при сдвиге данных вправо с двойной точностью, выход при сдвиге данных влево с двойной точностью	Двунаправленный вход-выход
9	Сдвиг влево 2	Приемник при сдвиге данных влево с двойной точностью. Выход при сдвиге данных вправо с двойной точностью	Двунаправленный вход-выход
10	3/0 бит	Старший бит в старшей пластине и младший бит в младшей пластине PPP	Выход
11	Сдвиг влево 1	Приемник при сдвиге данных влево, выход при сдвиге данных вправо	Двунаправленный вход-выход
12	Сдвиг вправо 1	Приемник при сдвиге данных вправо, выход при сдвиге данных влево	Двунаправленный вход-выход
13	Вход переноса АЛУ	Приемник, перенос АЛУ	Выход
14	Шин 0 выход	Шина выходных данных,	Выход
15	Шин 1 выход	4 параллельных бита	Выход
16	Шин 2 выход	(Шин 3 вых—Шин 0 вых)	Выход
17	Шин 3 выход		Выход

1	2	3	4
21	Шин 3 вход	4 параллельных бита	Вход
22	Шин 2 вход		Вход
28	Шин 1 вход	Шины входных данных	Вход
29	Шин 0 вход	(Шин 3 вых—Шин 0 вых)	Вход
23	Вход пр. сч.	Во всех позициях указывает программному счетчику увеличиваться на 1 или 2 в зависимости от уровня, приложенного к Упр. ИНКР на следующем переходе тактового сигнала от 0 к 1	Вход
24	Вых. пр. сч.	В любой позиции, кроме старшей, «Вых. пр. сч.»— есть выход программного счетчика, приложенный к следующей более старшей пластине в качестве входного переноса программного счетчика. В старшей позиции это выход старшего бита МОВ. «Земля»	Выход
25	ПОЗ 1	Эти контакты определяют относительное положение пластины, когда несколько пластин соединяются для увеличения разрядности слов.	Вход
26	ПОЗ 0		Вход
27	Упр. инкр.	В младшей позиции пластины Упр. инкр. = 1 в союзе с $\overline{\text{вх. пр. ст.}} = 0$ указывает программному счетчику увеличивать содержимое на 2 в следующем такте. В старшей позиции это выход старшего бита МОА	Двухнаправленный вход-выход
30	СИ	Таковой сигнал (синхроимпульс)	Вход
31		Один из двух контактов, связанных с источником тока	

1	2	3	4
33	Адр. 3		Выход
34	Адр. 2	4 параллельных бита	Выход
36	Адр. 1	Шины выдачи адреса (Шин. Адр.)	Выход
37	Адр. 0		Выход
35	Приоритет	Указывает на вывод со- держимого программно- го счетчика на шину вы- дачи адреса	Вход
39	X		
40	У	Сигналы, формирующие ускоренный перенос из АЛУ	Выход
41	Вых. переноса АЛУ	Перенос из АЛУ	Выход
44	КОП 1	4 бита «ОП» поля слова	Вход
45	КОП 2	выбора операции, опре- деляющие в основном	Вход
46	КОП 3	одну из 16 функций	Вход
47	КОП 4		Вход
48		Один из контактов, свя- занных с источником тока	

Функциональная схема ЦП

ЦП состоит из следующих устройств:
 арифметическо-логическое устройство (АЛУ);
 рабочий регистр (РР);
 рабочий регистр расширения (РРР);
 программируемая логическая матрица (ПЛМ);
 регистр операций (РО);
 восемь регистров общего назначения (РОН);
 мультиплексоры операндов (МО);
 мультиплексоры выдачи данных (МВД);
 мультиплексор адреса (М Адр.);
 инкрементор (Инк.);
 программный счетчик (ПС);
 схема формирования выхода программного счетчика
 (ФВПС);

схема позиционного управления (СПУ);
схема селекции разрядов регистра расширения.

Взаимосвязь между функциональными блоками поясняет рис. 3.

Арифметико-логическое устройство позволяет выполнять 8 арифметических и 8 логических операций. К арифметическим операциям относятся сложение и вычитание операндов, передача прямых и инверсных значений операндов (аналогично сложению с нулевым операндом и вычитанию из нулевого операнда). К логическим операциям относятся поразрядное умножение операндов (прямых и инверсных значений), сложение по модулю 2 (прямое и инверсное), поразрядное сложение прямых и инверсных значений операндов. АЛУ позволяет оперировать с 4-разрядными операндами. АЛУ представляет собой комбинационную схему, реализующую полный четырехбитовый сумматор, в котором предусмотрены выходы сумм $x = \bar{p}$ и выходы переноса $y = \bar{G}$ для подключения схемы ускоренного переноса и выход переноса «Вых. ПАЛУ». Операнды в АЛУ воспринимаются как двоичные числа без знака в прямом коде. В случае операции вычитания (например, $A - B$), при $A < B$ результат на выходе схемы представлен в дополнительном коде.

В классическом понимании к АЛУ должны относиться регистры для хранения и сдвига операндов, участвующих в операциях АЛУ, и регистр результата. В ЦП используется принцип многорегистрового АЛУ с магистральной структурой. В этом случае с помощью мультиплексоров (коммутаторов), управляемых РО, операнды могут быть взяты из любых регистров, а результат может быть передан также в любой регистр. Если регистры не заняты в операциях АЛУ, они могут выполнять другие функции.

Рабочий регистр. В РР поступает операнд четырехразрядной длины. Этот операнд принимает участие в операциях АЛУ. Операнд рабочего регистра может вместе с операндом другого регистра участвовать в операциях сдвига с двойной точностью.

РР построен на базе 4-х двухтактных RS-триггеров. Входная информация заполняется в первом триггере при переключении синхроимпульса (СИ) из 0 в 1. При переключении СИ из 1 в 0 информация с первого триггера переписывается во второй.

Рабочий регистр расширения. В РРР поступает 4-разрядный операнд. Этот операнд принимает участие в операциях

АЛУ, а также вместе с операндом РР участвует в операциях сдвига с двойной точностью. Схема РРР подобна РР.

Программируемая логическая матрица. Основой высокой гибкости процессорного элемента является применение ПЛМ. Являясь запрограммированным блоком комбинационной логики, который образует центр управления преобразованием операций, ПЛМ проводит декодирование 9-битового входного слова инструкции и выдает 20-битовое управляющее слово. Это управляющее слово размещается в регистре операций.

В ПЛМ запрограммировано 512 одноктактных операций. Отсутствие фиксированного набора команд обеспечивает гибкость в применении процессорного элемента.

Установление последовательности выполнения одноктактных операций непосредственно микропрограммистом позволяет осуществлять синтез практически любого набора команд.

Это расширяет диапазон применения процессорных элементов от микроконтроллеров до микрокомпьютеров и мультипроцессорных систем.

Регистр операций. Декодированное в ПЛМ слово кода операции в виде 20 управляющих сигналов поступает в РО, который построен на 20 Д-триггерах. Ввод информации в РО осуществляется при переходе СИ из 0 в 1. Поэтому ПЛМ может принимать код операции следующей команды одновременно с записью текущего управляющего слова. Выходные сигналы триггеров РО образуют внутреннее управляющее слово, которое разрешает различным функциональным блокам производить выполнение текущей операции.

Регистры общего назначения РОНО—РОН6 используются для хранения операндов в различных операциях. Все РОН представляют собой двухступенчатые регистры с дешифраторами номера регистра на входе и управлением по приему и выдаче информации. Так как работа различных РОН разнесена по времени, все 8 РОН имеют один общий четырехрядный регистр (после мультиплексора А). По фронту СИ (из 0 в 1) входная информация запоминается на первой ступени регистра, а фронт СИ (1 в 0) переписывает информацию во вторую ступень, выход которой является выходом регистра. Для записи в РОН 7, на базе которого строится программный счетчик, необходимо подать на вывод 23 уровень логической 1.

Мультиплексоры операндов — это специальный блок (устройство), осуществляющий управление и переключение внешних каналов. В процессорном элементе применены два мульт-

мультиплектора операндов — это мультиплексор А (МОА) и мультиплексор В (МОВ).

Мультиплексор А управляет прохождением операндов из блока регистров (канал выдачи операнда из РОН) или с входных контактов (канал Шин. вх.). Данные с выхода мультиплектора А поступают на вход АЛУ и мультиплексор выдачи данных.

Мультиплексор В управляет прохождением операндов из РР, РРР и входных контактов Шин. вх. На выход МОВ проходит информация либо Шин. вх. с инверсией, либо содержимое РР и РРР. Данные с выхода мультиплектора поступают в АЛУ.

Мультиплексор выдачи данных. На вход мультиплектора поступают 4-битовые операнды из мультиплектора А и АЛУ. МВД осуществляет прямую передачу данных МОА и АЛУ, а также производит арифметический и логический сдвиги влево операнда на один разряд и сдвиги вправо на один разряд. При операции левого сдвига в младшие разряды Шин. вых. записывается последовательно инверсное значение выв. 11. При любом типе правого сдвига в средней и младшей позиции микросхемы в старшие разряды Шин. Вых. последовательно записывается инверсное значение на выв. 12. То же самое для старшей позиции при реализации циклического и логического сдвига вправо. Для арифметического правого сдвига в старшей позиции микросхемы в старшие разряды Шин. Вых. записывается последовательно старший разряд РР. Операции сдвига влево или вправо на один разряд реализуются совместно с мультиплексорами сдвига влево 1 (МСЛ1) и сдвига вправо 1 (МСП1). Выводы 11, 12 являются входами в МВД и выходами МСЛ1 и МСП1. 4-битовое слово с выхода мультиплектора выдачи данных поступает на выходные контакты Шин. Вых. (Выв. 14—17), а также на входы всех регистров.

Выбор конкретного регистра для хранения выходного операнда МВД осуществляется управляющим словом, поступающим на вход ПЛМ.

Мультиплексор адреса представляет собой комбинационную схему, управляющую прохождением информации на Шин. Адр (выв. 33, 34, 36, 37) с выхода РР, РРР или с выхода ПС. Управляющими сигналами МА являются «Приоритет» (выв. 35) и выходные сигналы РО. Если «Приоритет» равен 1, то информация выводится с ПС. При сигнале «Приоритет» = 0 на шинах адреса — информация с РР (за исклю-

чением двух команд, при которых на Шин АDR выводится содержимое РРР).

Инкрементор — это специальный блок (устройство), осуществляющий увеличение значений входных данных. Примененный в ЦП инкрементор позволяет увеличить входные значения на +1 или +2 в зависимости от управляющих сигналов (выв. 23, 27). Входными сигналами инкрементора являются 4 разряда ПС, выходы 26 (ПО31), 25 (ПО30), 27 (управление инкрементором). Если через *C* обозначим сигнал, переключательные функции которого $C = \text{выв. 27} + \text{выв. 25} + \text{выв. 26}$, то при $C = 1$ значение ПС увеличивается на 1, а при $C = 0$ — на 2.

Схема формирования выхода программного счетчика ФВПС осуществляет анализ содержимого счетчика и организацию переноса на выходе ПС. В случае объединения нескольких процессорных элементов эта схема позволяет организовать переносы из ПС следующего процессорного элемента. Входными сигналами схемы ФВПС являются выходы ПС: сигналы выводов 25, 26, 27, 23, сигналы ВЗ (старший разряд МОВ). Выходной сигнал вывод 24 («Выход программного счетчика») есть перенос из младшей позиции ПС в более значимую. Для самой старшей позиции этот сигнал равен старшему биту МОВ. Значение на выводе 24 для различных позиций сведены в табл. 2.

Таблица 2

Сигнал на выходе ФВПС

Старшая позиция	Средняя позиция	Младшая позиция
Выв. 24 = ВЗ для любых значений содержимого счетчика	Если Вых. 3 ПС = Вых. 2ПС = Вых. ППС-1, то выв. 24 = выв. 23 + вых. 0 ПС. Для всех других сочетаний значений Вых. 3—1 ПС выв. 24 = 1.	Если Вых. 3ПС = Вых. 2ПС = Вых. 1 ПС. Выв. 27 = 0, то Выв. 24 = Выв. 23 + Вых. 0 ПС. При тех же условиях и выв. 27 = 1 значение на выв. 24 повторяет значение на выв. 23. Для всех, других сочетаний вых. 3—1 ПС выв. 24 = 1.

Программный счетчик РОН 7 вместе с комбинационными схемами инкрементора и схемой, формирующей выход ПС, образует программный счетчик, позволяющий по каждому СИ

увеличить значение ПС на +1 или +2. Для занесения новой константы или сохранения результата необходимо на вход переноса (выв. 23) подать высокий уровень напряжения. В этом случае ПС не увеличивает свое содержимое при поступлении СИ. Если на выв. 23 подан уровень 0, а на выв. 27—1, то с приходом СИ увеличивает свое значение на 2. При выв. 23 = 0 и выв. 27 = 0 ПС увеличивает свое значение на 1.

Выход ПС формируется в зависимости от содержимого счетчика и от позиционного положения микросхемы в микропроцессорной системе, разрядность которых превышает 4.

Сдвигающие мультиплексоры регистра расширения. К ним относятся мультиплексоры сдвига влево 2 (МСЛ2), сдвига вправо (МСП2) мультиплексора РРР. Эти мультиплексоры позволяют осуществить сдвиг операнда на один разряд вправо и влево в операциях с двойной точностью, прямую передачу операнда и организацию сдвигов при объединении процессорных элементов. Схемы мультиплексоров РР аналогичны МВД.

Схема селекции разрядов РРР управляется сигналами Поз. 0 и Поз. 1. Для младшей позиции на выход схемы селекции (вывод 10) проходит младший разряд РРР, для старшей позиции при любом значении на выводе 25 проходит старший разряд РРР.

Схема позиционного управления вырабатывает различные управляющие сигналы в зависимости от номера процессорного элемента в системе связанных процессорных элементов. Система из нескольких процессорных элементов создается в том случае, когда необходимо оперировать с операндами, разрядность которых превышает 4 разряда. Управляющими являются сигналы на выв. 25 (Поз. 0) и выв. 26 (Поз. 1). Для младшей позиции ЦП выв. 25 = 1, выв. 26 = 0, для средних позиций — выв. 25 = 0, выв. 26 = 0, для старшей позиции выв. 25 = 0, выв. 26 = 1 при выполнении операций сдвига с двойной точностью для двухсимвольных слов (слов, у которых знаковый разряд размещается в старших разрядах как РР, так и РРР), выв. 25 = 1, выв. 26 = 1 при выполнении операций сдвига с двойной точностью для односимвольных слов (слов, у которых знаковый бит размещается в старшем разряде РР). На рис. 4 приведена реализация 12-разрядного ЦП.

Основные операции ЦП

Операцию ЦП определяет слово кода операции (КОП), которое состоит из 9 бит. Функционально КОП можно разбить на 3 поля: 4-разрядное ОП поле, которое определяет одну из 16 операций, выполняемых АЛУ, 2-разрядное Д поле, расширяющее возможности ОП-поля и 3-разрядное И поле, характеризующее источник операнда (рис. 5). Если

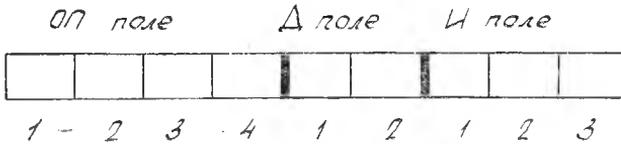


Рис. 5

необходимо, например, определить РОИ как источник или место помещения операнда, то номер РОИ задается в двоичном коде полем И.

Таблица 3

И1	И2	И3	Номер РОИ
0	0	0	РОИ 0
0	0	1	РОИ 1
0	1	0	РОИ 2
0	1	1	РОИ 3
1	0	0	РОИ 4
1	0	1	РОИ 5
1	1	0	РОИ 6
1	1	1	РОИ 7

Основные операции, выполняемые ЦПЭ, удобно разбить на 6 типов.

I тип операции может использоваться для выполнения одной из 16 функций АЛУ над двумя из 4 источников операндов (РОИ, РР, РРР, Шин. вх.) (табл. 4). Результат размещается в одно из 4 мест (РОИ, РР, РРР, Шин. вых.) (табл. 5).

Т а б л и ц а 4

ОП2	ОП3	ОП4	ОП1 = 0		ОП = 1
			Арифметические операции		Логические операции
			Вх. ПАЛУ = 1 (есть перенос)	Вх. ПАЛУ = 0 (нет переноса)	
0	0	0	$F_n = 0$	$F_n = 1$	$F_n = A_n \cdot B_n$
0	0	1	$F_n = B - A$	$F_n = B - A - 1$	$F_n = A_n \oplus B_n$
0	1	0	$F_n = A - B$	$F_n = A - B - 1$	$F_n = \overline{A_n} \oplus B_n$
0	1	1	$F_n = A + B + 1$	$F_n = A + B$	$F_n = \overline{A_n} \cdot B_n$
1	0	0	$F_n = B + 1$	$F_n = B$	$F_n = A_n \cdot \overline{B_n}$
1	0	1	$F_n = \overline{B} + 1$	$F_n = \overline{B}$	$F_n = \overline{A_n} + \overline{B_n}$
1	1	0	$F_n = A + 1$	$F_n = A$	$F_n = \overline{A_n} + B_n$
1	1	1	$F_n = \overline{A} + 1$	$F_n = \overline{A}$	$F_n = A_n + \overline{B_n}$

Т а б л и ц а 5

О п е р а ц и я	Код операции			
	ОП-поле	D ₁	D ₂	И — поле
РОН (АЛУ) РР → РОН	0000 ÷ 1111	0	0	РОН000 ÷ 111
РОН (АЛУ) РР → РР	0000 ÷ 1111	0	1	РОН000 ÷ 111
*Вх. Шин (АЛУ) РР → Вых. Шин	0000 ÷ 1111	1	1	0 0 0
*Вх. Шин (АЛУ) РР → РР	0000 ÷ 1111	1	1	0 0 1
Вх. Шин (АЛУ) РРР → РР	0000 ÷ 1111	1	1	0 1 1
Вх. Шин (АЛУ) РР → РРР	0000 ÷ 1111	1	1	1 0 0
Вх. Шин (АЛУ) РРР → РРР	0000 ÷ 1111	1	1	1 1 0
Вх. Шин (АЛУ) РРР → Вых. Шин	0000 ÷ 1111	1	1	1 1 1

В табл. 4 А соответствует операнду, хранящемуся в РОНе или на Шин. Вх, В — операнду, хранящемуся в РР или РРР на Шин. вх. В табл. 5 (*) отмечены операции, при выполнении которых в случае Приоритет = 0 на шину Адр. выдается содержимое РРР. Во всех остальных операциях при значении Приоритет = 0 на шину адреса выдается содержимое РР.

Операция И типа используется для арифметического суммирования одного или двух операндов (РОН, РРР, РР Шин. вх.) с переносом Вх. ПАЛУ. Результат помещается в одно из 4 мест (РОН, РРР, РР, Шин. вх.) (табл. 6).

Операция	Код операции							И — поле
	ОП1	ОП2	ОП3	ОП4	Д1	Д2		
РОН + РР + Вх. ПАЛУ → РРР	0	0	1	1	1	0	РОН000 ÷ 111	
РОН + Вх. Шин + Вх. ПАЛУ → РР	0	1	0	0	1	0	РОН000 ÷ 111	
РОН + Вх. Шин + Вх. ПАЛУ → РРР	0	1	0	1	1	0	РОН000 ÷ 111	
РОН + Вх. Шин + Вх. ПАЛУ → РОН	0	1	1	1	1	0	РОН000 ÷ 111	
РОН + РРР + Вх. ПАЛУ → РР	1	1	0	0	1	0	РОН000 ÷ 111	
РОН + РРР + Вх. ПАЛУ → РРР	1	1	0	1	1	0	РОН000 ÷ 111	
РРР + Вх. ПАЛУ → РОН	1	1	0	1	1	0	РОН000 ÷ 111	
Вх. Шин + РР + Вх. ПАЛУ → РРР	0	0	1	1	1	1	0 1 0	
Вх. Шин + РР + Вх. ПАЛУ → Вых. Шин	0	1	1	1	1	1	0 1 0	
Вх. Шин + РРР + Вх. ПАЛУ → РР	1	1	0	0	1	1	0 1 0	
Вх. Шин + РРР + Вх. ПАЛУ → РРР	1	1	0	1	1	1	0 1 0	
РРР + Вх. ПАЛУ → Вых. Шин	1	1	1	0	1	1	0 1 0	

Операция	Код операции						И—поле
	ОП1	ОП2	ОП3	ОП4	Д1	Д2	
Вх. Шин → РОН	1	1	1	1	1	0	РОН000 ÷ 111
РОН → Вых. Шин	0	0	0	0	1	0	РОН000 ÷ 111
РОН → РРР	0	0	0	1	1	0	РОН000 ÷ 111
Вх. Цин → РР	0	1	1	0	1	0	Х × Х × Х
Вх. Шин → РРР	0	1	1	0	1	0	0 1 0 0
Вх. Шин → Вых. Шин	1	1	1	1	1	1	0 1 0 0
	0	0	0	0	0	1	0 1 0 0

Операция	Код операции						И—Поле
	ОП1	ОП2	ОП3	ОП4	Д1	Д2	
(РР—Шин. вх.—1+Вх. ПАЛУ) СДВ. ЦЛВ → РР, РРР	1	0	0	0	1	1	0 1 0
(РР+Шин. вх.+Вх. ПАЛУ) СДВ. ЦЛВ → РР, РРР	1	0	0	1	1	1	0 1 0
(РР—РОН—1+Вх. ПАЛУ) СДВ. ЦЛВ → РР, РРР	1	0	0	0	1	0	РОН000 ÷ 111
(РР+РОН+Вх. ПАЛУ) СДВ. ЦЛВ → РР, РРР	1	0	0	1	1	0	РОН000 ÷ 111
(РР+Вх. ПАЛУ) СДВ. АП → РР, РРР	1	0	1	0	1	0	Х × Х × Х
(РР—Шин. вх.—1+Вх. ПАЛУ) СДВ. АП → РР, РРР	1	0	1	0	1	1	0 1 0
(РР+Шин. вх.+Вх. ПАЛУ) СДВ. АП → РР, РРР	1	0	1	1	1	1	0 1 0
(РР—РОН—1+Вх. ПАЛУ) СДВ. АП → РР, РРР	0	0	1	0	1	0	РОН000 + 111
(РР+РОН+Вх. ПАЛУ) СДВ. АП → РР, РРР	1	0	1	1	1	0	РОН000 + 111

Операции III типа используются для передач одного из двух операндов (РОН, Шин. вх.) в одно из 4-х мест (РОН, РР, РРР, Шин. вых.), (табл. 7).

Операция IV типа предназначена для арифметического суммирования или вычитания одного из двух источников операндов (РОН, Шин. вх.) и (-1) с содержимым РР, арифметического сложения с переносом ВхПАЛУ. Результат арифметической операции сдвигается циклически влево или арифметически вправо и помещается в РР. В регистр РРР после выполнения операции IV типа записывается сдвинутое предыдущее содержимое РРР (табл. 8).

СДВ. ЦЛВ — сдвиг циклический левый;

СДВ.АП — сдвиг арифметический правый.

V тип операции применяется для осуществления сдвига содержимого регистра РР с одинарной точностью и помещение результата в РР. Содержимое РР может быть логически, арифметически или циклически сдвинуто вправо или влево. (табл. 9). Графическая интерпретация сдвигов представлена на рис. 6

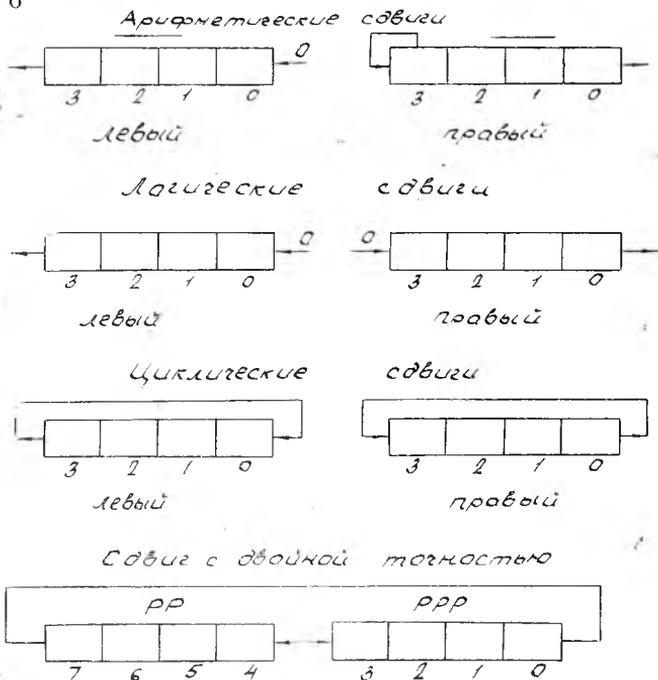


Рис. 6

Таблица 9

Операция	Код операции							И — поле	
	ОП1	ОП2	ОП3	ОП4	Д1	Д2			
(РР+Вх. ПАЛУ) СДВ. АП → РР	0	0	0	0	1	1	1	0	1
(РР+Вх. ПАЛУ) СДВ. ЦП → РР	0	0	0	1	1	1	1	0	1
(РР+Вх. ПАЛУ) СДВ. АЛВ → РР	1	0	0	1	1	1	1	1	0
(РР+Вх. ПАЛУ) СДВ. АЛВ → РР	0	0	1	0	1	1	1	1	0
(РР+Вх. ПАЛУ) СДВ. ЦЛВ → РР	0	0	1	1	1	1	1	1	0
(РР+Вх. ПАЛУ) СДВ. ЦЛВ → РР	1	0	1	1	1	1	1	1	0
(РР+Вх. ПАЛУ) СДВ. ЛП → РР	1	0	0	0	1	1	1	1	0
(РР+Вх. ПАЛУ) СДВ. ЛЛВ → РР	1	0	1	0	1	1	1	1	0

Таблица 10

Операция	Код операции							И — поле	
	ОП1	ОП2	ОП3	ОП4	Д1	Д2			
(РР+Вх. ПАЛУ, РРР) СДВ. АП → РР, РРР	0	1	0	0	1	1	1	1	0
(РР+Вх. ПАЛУ, РРР) СДВ. ЦП → РР, РРР	0	1	0	1	1	1	1	1	0
(РР+Вх. ПАЛУ, РРР) СДВ. АЛВ → РР, РРР	1	1	0	1	1	1	1	1	0
(РР+Вх. ПАЛУ, РРР) СДВ. АЛВ → РР, РРР	0	1	1	0	1	1	1	1	0
(РР+Вх. ПАЛУ, РРР) СДВ. ЦЛВ → РР, РРР	0	1	1	1	1	1	1	1	0
(РР+Вх. ПАЛУ, РРР) СДВ. ЦЛВ → РР, РРР	1	1	1	1	1	1	1	1	0
(РР+Вх. ПАЛУ, РРР) СДВ. ЛП → РР, РРР	1	1	0	0	1	1	1	1	0
(РР+Вх. ПАЛУ, РРР) СДВ. ЛЛВ → РР, РРР	1	1	1	0	1	1	1	1	0

VI тип операций используется для сдвигов с двойной точностью содержимого РР и РРР. Содержимое рабочих регистров может быть сдвинуто логически, арифметически как односимвольное и двухсимвольное слово или циклически. Для односимвольных арифметических сдвигов знаковый бит размещается в старшем разряде РР. Для двухсимвольных знаковый бит размещается в старших разрядах как РР, так и РРР (табл. 10). Графическое изображение РР и РРР в операциях с двойной точностью приведено на рис. 6. Двухсимвольные арифметические сдвиги производят при Поз. 0 = 0, Поз. 1 = 1.

Особенности выполнения операций сдвигов:

1. При реализации V и VI формы Вх. ПАЛУ должен равняться 0.

2. При выполнении операций сдвига влево в младший разряд РР записывается инверсное значение на выходе 11, в младший разряд РРР — инверсное значение на выводе 9.

Для односимвольных слов во все остальные разряды регистров РР и РРР независимо от позиции микросхемы переписывается содержимое регистров до сдвига со смещением на один разряд. В первый разряд регистра РР переписывается содержимое нулевого разряда РР, во второй — первого и т. д. При работе с двухсимвольным словом для старшей позиции в старший разряд РРР записывается содержимое второго разряда регистра РР до сдвига. На выводы 12 и 6 для младшей и средней позиции поступают инверсные значения содержимого старшего разряда до сдвига РР и РРР, соответственно. Значения на выводах 12 и 6 для старшей позиции даны в табл. 11.

Таблица 11

Вывод 12	Вывод 6	Тип сдвига
Инверсия значения старшего разряда РР до сдвига	Инверсия значения старшего разряда РР до сдвига	СДВ АЛВ, СДВ ЛЛВ СДВ ЦЛВ (V тип операций)
Инверсия значения старшего разряда РРР до сдвига	Инверсия значения старшего разряда РР до сдвига	СДВ ЦЛВ (IV, VI тип операций)
Инверсия значения второго разряда РРР до сдвига	1	СДВ, ЛЛВ, СДВ АЛВ (выв. 25=1, IV, VI тип операций)
Инверсия значения старшего разряда РРР до сдвига	1	СДВ АЛВ (выв. 25=0) (IV, VI тип операций)

3. При выполнении операций сдвига вправо на выходы 9, 11 поступает инверсное значение младшего разряда содержимого РРР и РР соответственно для старшей и средней позиции микросхемы. На вывод 9 в младшей позиции поступает инверсное значение младшего разряда РР, на вывод 11 в младшей позиции поступает информация согласно табл. 12.

Таблица 12

Вывод 11	Тип сдвига
1 Инверсия младшего разряда РРР Инверсия младшего разряда РР	СДВ АП, СДВ ЛП СДВ ЦП (V тип операции) СДВ ЦП (IV, VI тип операций)

В старший разряд РР и РРР после сдвига записывается инверсное значение на выходах 12 и 6 соответственно для средней и младшей позиции микросхемы. Остальные разряды для этих позиций переписываются со смещением, т. е. значение третьего разряда записывается во второй, второго — в первый и т. д. Для старшей позиции это справедливо для РР (разряды 2—0), для РРР — разряды 1—0.

В старший разряд РР записывается инверсное значение на выводе 12 для СДВ ЦП и СДВ ЛП. Для СДВ АП в старшей позиции значение старшего разряда РР до сдвига сохраняется, т. е. знаковый разряд не сдвигается.

Для старшей позиции в старший разряд РРР записывается инверсное значение на выводе 6 для СДВ ЛП, СДВ ЦП и СДВ АП при односимвольных операндах (выв. 25 = 1). При двухсимвольных операндах (выв. 25 = 0) в старший разряд РРР старшей позиции записывается значение старшего разряда РР до сдвига при СДВ АП. Во второй разряд РРР записывается значение старшего разряда РРР до сдвига в старшей позиции микросхемы при операциях сдвига вправо логического, циклического, арифметического (для односимвольных операндах). При двухсимвольных операндах в том случае во второй разряд записывается инверсное значение на выводе 6 для СДВ АП.

Принцип действия ЦП

ЦП последовательно выполняет операции, задаваемые 9-разрядным КОП, поступающим на вход ПЛМ (рис. 7). При каждом положительном перепаде СИ в РО заносится заранее установившийся 20-разрядный код ПЛМ. Для обеспечения нормальной работы импульс КОП сдвинут относительно

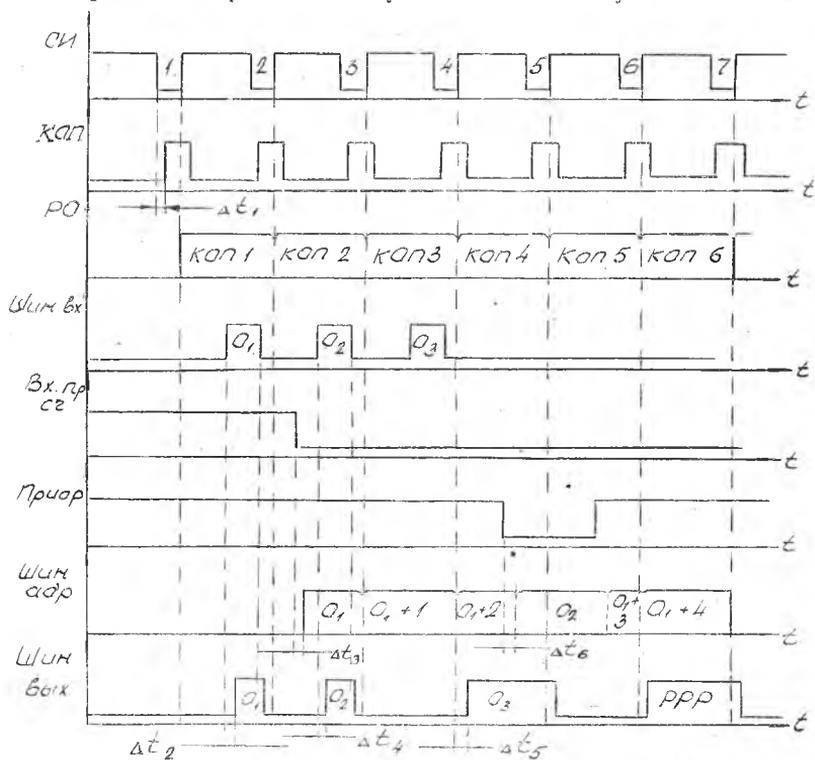


Рис. 7

отрицательного фронта СИ на $\Delta t \approx 100$ нс. После занесения КОП РО поддерживает на входах соответствующих функциональных блоков разрешающие уровни, обеспечивающие выполнение текущей операции. Одновременно с ПЛМ можно производить загрузку следующей операции. Смена кода на ПЛМ должна происходить при СИ = 0. Данные на входных шинах воспринимаются по следующему СИ относительно мо-

мента приема КОП. Смена входных данных должна осуществляться при СИ = 1.

Для примера рассмотрим временную диаграмму выполнения следующей программы (рис. 7):

Т а б л и ц а 13

СИ №	КОП	Вх. пр. сч.	Упр. инкр.	Приоритет	Вх. ПАЛУ	Шин. вх.
1	Шин. Вх. → РОН7	1	0	1	0	
2	Шин. Вх. → РР	1	0	1	0	Операнд 1 (O ₁)
3	Шин. Вх. → РОН1	0	0	1	0	Операнд 2 (O ₂)
4	РОН1 → Шин. Вых.	0	0	1	0	Операнд 3 (O ₃)
5	РОН1 + РР + Вх. ПАЛУ → РРР	0	0	0	0	
6	РРР + Вх. ПАЛУ → Шин. Вых.	0	0	1	0	

Предположим, что в исходном состоянии все регистры и шины ЦП обнулены.

По заднему фронту СИ1 КОП1 записывается в РО. КОП1 хранится в РО до появления положительного перепада СИ2. Первый операнд O₁ записывается в РОН7, который работает в режиме обыкновенного регистра (Γ Вх. пр. сч. = 1), передним фронтом СИ2. С задержкой Δt_2 O₁ появляется на Шин. вх. Прохождение операнда ясно из рассмотрения рис. 3 и описания ЦП. РО подает на МОА разрешение записи с Шин. вх., передним фронтом импульса O₁ информация записывается в общую ступень РОНов, которая находится на выходе МОА, и через МВД поступает на Шин. вх. Задний фронт O₁ через мультиплексор РОН7 переписывает информацию во вторую ступень РОН7, а информация на Шин. вх. исчезает. По положительному перепаду СИ2 происходит смена состояния РО. В период паузы между СИ2 и СИ3 изменяется состояние Γ Вх. пр. сч. и РОН7, начиная с СИ3, работает как ПС, увеличивая свое состояние на +1 (Упр. инкр.=0). На Шин. адр. с задержкой Δt_3 появляется содержимое ПС. С задержкой Δt_4 относительно импульса Шин. вх. O₂ на Шин. вх. появляется информация. В этом случае путь прохождения O₂ следующий: МОВ, АЛУ, МВД, РР. СИ3 отрицательным перепадом заносит O₂ в РР, а положительным —

КОПЗ в РО. Одновременно происходит увеличение содержимого ПС на единицу. СИ4 выполняет аналогичные операции и дополнительно выводит содержимое РОН1 на Шин. вых. Время нахождения информации, хранящейся в РОН1, на Шин. вых. определяется периодом генератора СИ. Изменение сигнала «Приоритет» вызывает появление на Шин. адр. по заднему фронту СИ5 содержимого РР (O_2). По положительному периоду СИ6 на Шин. адр. вновь появляется информация с ПС ($O_1 + 4$), а на Шин. вых. — содержимое РРР. СИ7 завершает цикл преобразования.

Таким образом, для выполнения последовательности «п» микрокоманд необходимо на ЦП подавать $(n + 1)$ СИ. Величины задержек $\Delta t_2 \div \Delta t_5$ зависят от пути прохождения сигналов и составляют величину $(0,1 - 0,5)$ мкс, $\Delta t_1 \approx 100 - 150$ нс.

Эксплуатационные и конструктивно-технологические характеристики ЦП. ЦП построен на логических и запоминающих элементах, выполненных на основе интегральных инжекционных логических (И²Л или ИИЛ) схем. Логические элементы представляют собой многовходовые элементы, выполняющие функцию ИЛИ-НЕ и логическую функцию НЕ. Запоминающие элементы представлены RS-триггерами и D-триггерами. Примеры реализации логических элементов приведены на рис. 8, 9. Эквивалентные схемы входа, выхода и двунаправленного входа-выхода приведены на рис. 10.

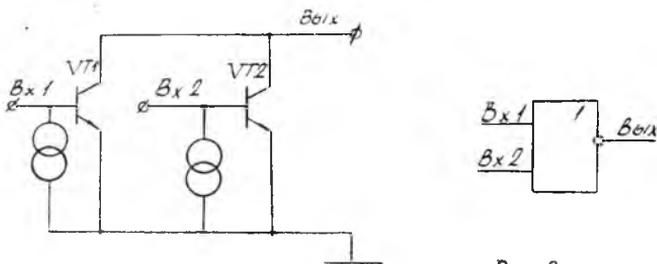


Рис. 8

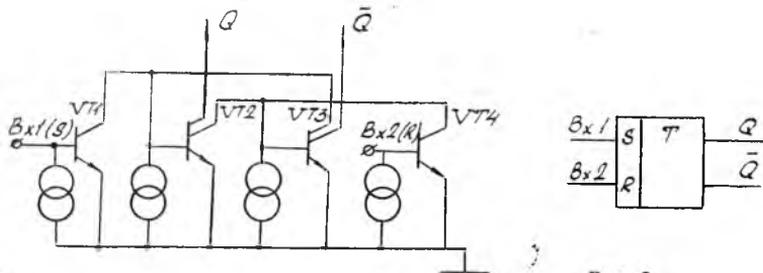


Рис. 9

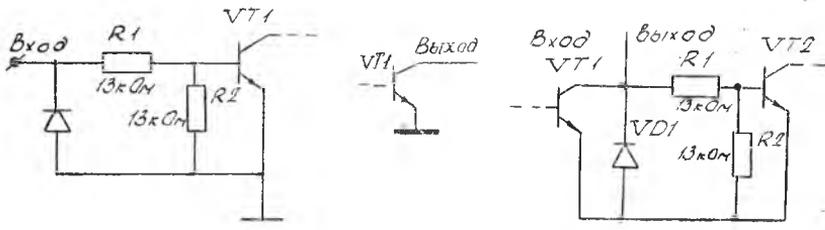


Рис. 10

Источником питания может служить любой энергоисточник напряжения или тока, способный обеспечить управляющий ток при напряжении 0,85 В. Простейший источник тока показан на рис. 11. Величина резистора $R = \frac{U_{пит} - 0,85В}{150\text{ мА}}$.

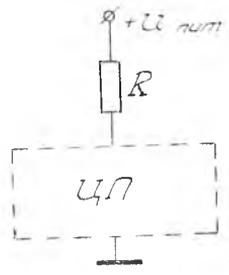


Рис. 11

Конструктивно ЦП оформлен в 48-выводном металлокерамическом корпусе. Основные технические характеристики ЦП приведены в табл. 14.

Таблица 14

Наименование параметров	Значение параметра
Ток питания, $I_{пит}$, мА	
$t = 0^{\circ}\text{C}$, не меньше	140
$t = +25^{\circ}\text{C}$, типовые	150
$t = +70^{\circ}\text{C}$, не более	160
Пороговое напряжение логической единицы, В, не менее	2,0
Пороговое напряжение логического нуля, В, не более	0,8
Напряжение на входном антизвонном диоде, U_d , В	-1,5
Выходной ток логического нуля, $I_{вых}$ мА, не более	
Любой АДР, X, У или вых. переноса АЛУ	20
Любой Шин. вых. или 3/0 бит	10

Наименование параметров	Значение параметров
┌ сдвиг вправо 1, ┐ сдвиг влево 1	5
┌ сдвиг вправо 1, ┐ сдвиг вправо 2	
Вых. п. ст. упр. инк.	
Уровень логической единицы (выходное напряжение), $U_{\text{вых}}$, В	3,3
Ширина тактового импульса, нс, не менее	750
логическая единица	250
логический ноль	

Операционное время прохождения сигнала 110-530 Нс при номинальной мощности 128 мВт.

Процессорный элемент работает от одного источника питания с минимальным напряжением 0,85 В при требуемом токе инжектора.

Микропроцессор характеризуется полной совместимостью с ТТЛ-схемами при номинальном токе инжектора, температурный диапазон работы от -10°C до $+70^{\circ}\text{C}$.

2.2. БЛОК УПРАВЛЕНИЯ

БУ состоит из генератора одиночных импульсов (ГОИ), генератора непрерывной последовательности импульсов (ГНИ), формирователя считывания кода операции (F КОП), формирователя считывания информация с регистра входных шин (F Вх. Шин.), формирователя импульса приоритета (F Приоритет), формирователя импульса управления входом программного счетчика (F Вх. пр. сч.), формирователя импульса управления инкрементором (F Упр. инкр.), формирователя синхроимпульса ЦП, схемы формирования импульса начальной установки, распределителя импульсов (коммутатора) СМ и кроссировочного поля (КП), позволяющего набирать требуемую последовательность микрокоманд (рис. 2).

БУ обеспечивает работу установки в трех режимах: шаговом (режиме одиночных импульсов), циклическом и автоматическом.

В шаговом режиме на вход СМ подаются сигналы от ГОИ. Тумблер «Шаг-цикл» устанавливается в положение «Шаг», а сигналы на выходе СМ возникают после нажатия кнопки «пуск».

В циклическом режиме на вход СМ подаются сигналы от ГНИ. Тумблер «Шаг-цикл» устанавливается в положение «цикл», а тумблер «Автомат» в положение выключено. Запуск циклического режима осуществляется кнопкой «пуск».

В автоматическом режиме тумблер «Шаг-цикл» устанавливается в положение «цикл», тумблер «Автомат» — в положение «включено». После нажатия кнопки «Пуск» ГНИ генерирует последовательность из 5 импульсов, а затем устанавливается в нулевое состояние.

Работа БУ поясняется временной диаграммой (рис. 12).

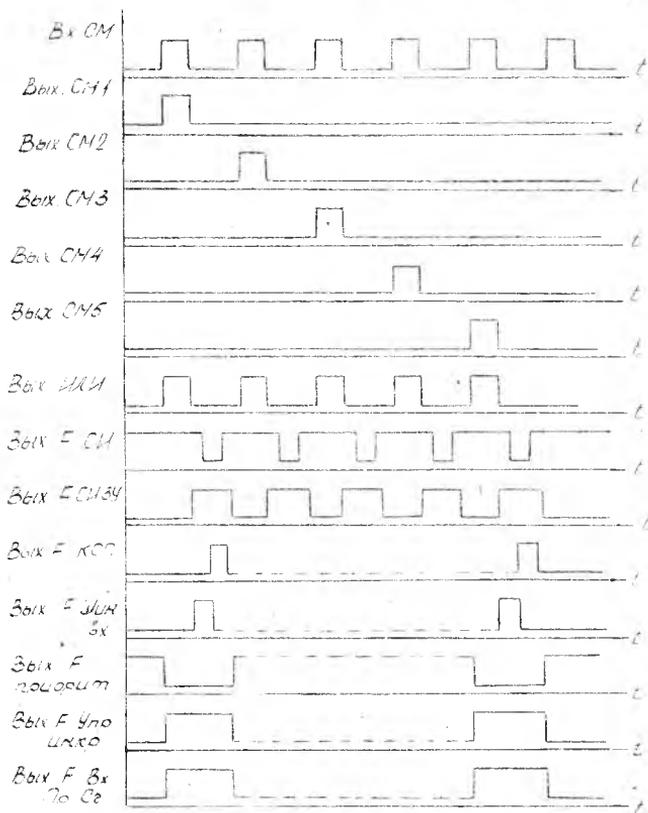


Рис. 12

СМ, собранный на основе кольцевого регистра сдвига, преобразует последовательность импульсов, поступающих на его вход от ГОИ или ГНИ, в импульсы, появляющиеся поочередно на его выходах.

Выходы СМ совместно со входами формирователей образуют КП. С помощью шнуровой коммутации на этом поле можно набрать любую последовательность микрокоманд, подключая к требуемому выходу СМ один или несколько входов формирователей.

Формирователи F КОП, F Вх. Шин., F приоритет, F инкр., F Вх. пр. сч., F СИ обеспечивают функционирование ЦП согласно требуемой временной диаграмме. В исходном состоянии сигнал на выходе F КОП равен нулю, F Вх. Шин. — нулю, F приоритет — единице, F инкр. — нулю, F Вх. пр. сч. — нулю, F СИ — единице.

Формирователь импульса начальной установки приводит СМ и схему управления ГОИ и ГНИ в исходное состояние. Запуск формирователя осуществляется нажатием кнопки «Нач. уст.» и индицируется светодиодом. Загорание светодиода означает, что установка приведена в исходное состояние и первый импульс, приходящий на вход СМ, появится на первом выходе СМ.

2.3. ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО μ РМ

ЗУ μ РМ является местом хранения кода операций ЦП и предназначено для хранения 59-разрядных слов. ЗУ μ РМ реализует принцип магазинной памяти с однонаправленным сдвигом информации. Оно состоит из 59-ти разрядных регистров, одноименные разряды которых соединены цепями сдвига. Поэтому ЗУ можно рассматривать также как 9 пятиразрядных регистров сдвига. ЗУ может работать в двух режимах: циклическом и шаговом.

Шаговый режим используется при загрузке памяти и исследовании статических характеристик ЦП.

В режиме загрузки памяти тумблера «Цикл ЗУ» всех разрядов устанавливаются в положение «выключено». Тумблер «Загрузка» — в положение «включено», тумблер «Шаг-цикл» БУ — в положение «Шаг», тумблер «Автомат» — в положение «выключено». Для приведения схемы в исходное состояние нажать кнопку «Нач. уст.». После загорания светодиода, расположенного выше кнопки «Нач. уст.», установка готова к

загрузке программы. Тумблерами «Код операции» установить КОП1. Нажатием кнопки «Пуск» занести КОП1 в первый регистр. Набрать КОП2 и занести его в первый регистр. При этом информация, записанная в первый регистр, переписывается во второй и так далее. После окончания цикла загрузки (5 микрокоманд) КОП1 оказывается записанным в нижний регистр, КОП5 в верхний, а остальные регистры хранят соответственно информацию КОП2 — КОП4.

Для проверки правильности занесения исходной информации тумблера «Цикл ЗУ» всех разрядов установить в положение «включено». Кнопкой «Нач. уст.» привести СМ в исходное состояние. Выходы СМ соединить со входами КОП. В положении «шаг» нажать кнопку «Пуск». При этом информация из нижнего регистра ЗУ, соответствующая КОП1, переписывается в регистр КОП (*RG* КОП), где состояние разрядов индицируется с помощью светодиодов. ЦП не воспринимает КОП, так как при включенном тумблере «Загрузка» синхросигналы для ЦП не формируются. Проверить последовательно состояние всех разрядов ЗУ.

Если какой-либо КОП записан неправильно, то его необходимо переписать. Для этого требуется установить номер неправильно записанного КОП. Номеру КОП будет соответствовать номер выхода СМ. После окончания цикла проверки привести СМ в исходное состояние. Установить тумблер «Цикл-Шаг» в положение «Шаг». В положении «Цикл ЗУ» кнопкой «Пуск» установить КОП, номер которого на единицу меньше того кода операции, который необходимо исправить. Например, для исправления КОП 3 необходимо, чтобы в *RG* КОП индицировался КОП 2. После этого перевести тумблер «Цикл ЗУ» неправильно заданного разряда в положение «выключено». Тумблером «Код операции» соответствующего разряда установить требуемый код. Нажать кнопку «Пуск». В верхний регистр будет занесено исправленное значение КОП. Установить тумблером «Цикл ЗУ» всех разрядов в положение «включено». Последовательно нажимать кнопки «Пуск» пока не загорится светодиод «Нач. уст.». На этом цикл загрузки памяти заканчивается.

При считывании содержимого ЗУ в ЦП тумблер «Загрузка» устанавливается в положение «выключено».

Шаговый режим работы ЗУ увеличивает возможность памяти лабораторной установки. Если после выполнения команды «Загрузка» тумблера «Цикл ЗУ» установить в положение «Включено», тумблер «Загрузка» — в положение «вы-

ключено», то одновременно с выполнением очередной команды (при шаговом режиме работы БУ) в память ЗУ можно заносить новые значения КОП. Для этого перед нажатием кнопки «Пуск» следует установить требуемое значение КОП. Тогда одновременно с записью информации в *RG* КОП в верхний регистр ЗУ записывается новый КОП.

Циклический режим ЗУ используется для исследования как статических, так и динамических характеристик ЦП. В этом режиме содержимое ЗУ поочередно записывается в *RG* КОП с частотой следования импульса ГОИ или ГНИ.

2.4. БЛОК ВНЕШНИХ УСТРОЙСТВ

В состав БВУ входят: регистр кода операции (*RG* КОП) для хранения КОП, входной регистр (*RG* Вх) для хранения входных операндов, регистр адреса (*RG* Адр.) для хранения информации с адресных шин ЦП, выходной регистр (*RG* Вых) для хранения информации с выходных шин, схемы для задания требуемых уровней на Вх ПАЛУ, Поз. 0, Поз. 1, схемы для организации циклических сдвигов «Сдв. цикл. I» и «Сдв. цикл. II».

2.5. ОПИСАНИЕ ПЕРЕДНЕЙ ПАНЕЛИ УСТАНОВКИ

На передней панели нанесена упрощенная структурная схема лабораторной установки (рис. 13).

Слева расположен БУ с необходимыми средствами управления: в верхней части тумблер «Шаг-Цикл», тумблер «Автомат», кнопка «Пуск» внизу кнопка «Нач. уст.» Состояние «Нач. уст.», выходы СМ, *F* Приоритет, *F* Вх. пр. сч., *F* Упр. инкр. индицируется светодиодами. Выход СМ, входы и выходы формирователей выведены в виде гнезд на переднюю панель.

ЗУ μ РМ расположено в средней части установки вверху. Здесь расположены тумблеры для установки циклического режима работы ЗУ «Цикл ЗУ», тумблеры кода операций, тумблер «Загрузка».

В нижней части установки находится процессорный элемент (МР V), выходные клеммы которого выведены в виде гнезд (Вых. пр. сч., Вых. ПАЛУ, X, Y, контакты 6, 9, 10, 11, 12, ЦП).

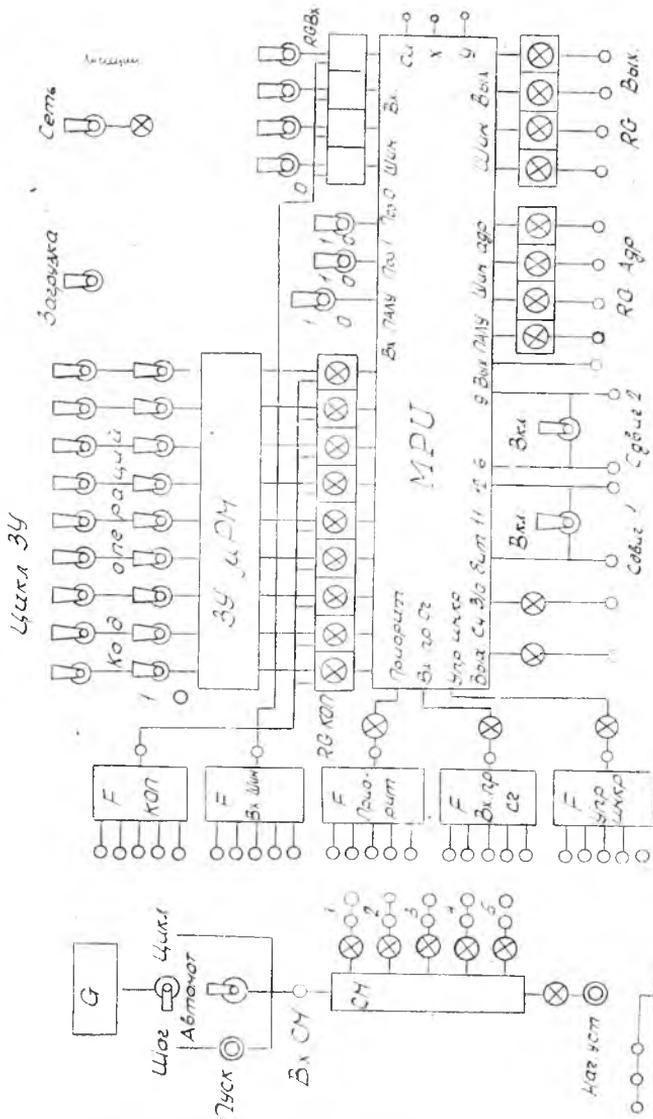


Рис. 13

Элементы БУ обрамляют МРВ. Состояние *RG* КОП, *RG* Вых, *RG* Адр индицируется светодиодами, а информация на Вх ПАЛУ, ПОЗ0, ПОЗ1, *RG* Вх, Сдв. цикл I и II задается тумблерами.

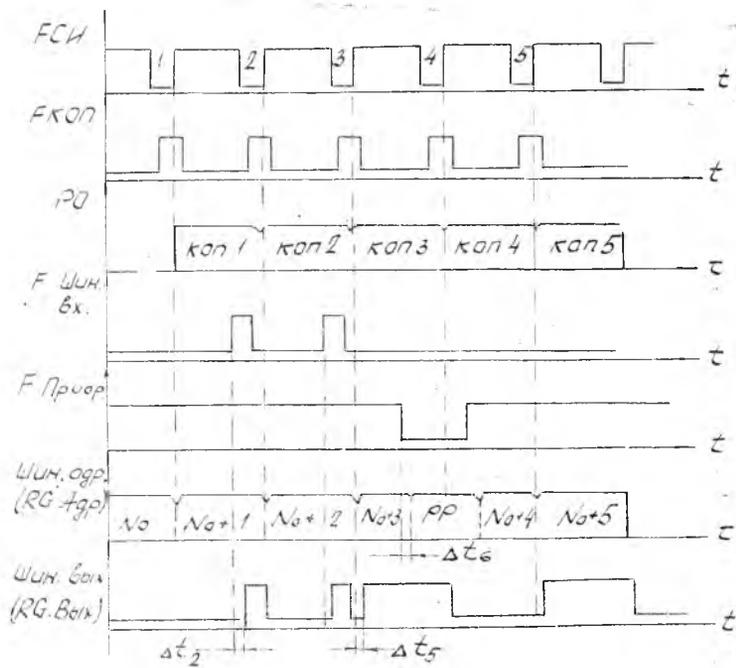


Рис. 14

В верхней правой части панели находится тумблер «Сеть», в нижней левой — выведены гнезда «Земля».

Все коммутации на лабораторной установке выполняются внешними проводниками — переключателями.

В качестве измерительного прибора в лабораторной работе используется осциллограф.

3. СОДЕРЖАНИЕ ЛАБОРАТОРНОЙ РАБОТЫ

1. Ознакомьтесь с работой блока управления и проверить соответствие импульсов, вырабатываемых БУ вре-

менной диаграмме (рис. 12). Посмотреть на экране осциллографа форму и взаимное расположение импульсов на входе СМ, выходе СМ, СИ, на выходе формирователей F КОП, F Вх. Шин, F приорит., F Вх. пр. сч., F упр. инкрем. Снять осциллограммы сигналов, разместив 2—3 импульса Вх. СМ на экране осциллографа измерить амплитуду сигналов, временные сдвиги и длительность импульсов.

Порядок выполнения. Включить тумблер «Сеть». Тумблер «Шаг-Цикл» установить в положение «Цикл». Тумблер «Загрузка» поставить в положение «выключено». Выходы СМ соединить проводниками со входами формирователей. Подключить осциллограф. Нажать кнопку «Пуск». Зарисовать временные диаграммы и объяснить принцип работы БУ.

2. Проверка операций I—III типа.

Записать в кодах ЦП программу, заданную преподавателем. Нарисовать временную диаграмму выполнения программы аналогично рис. 7. Загрузить программу в ЗУ μ РМ и проверить правильность задания КОП. Установить тумблеры «Цикл ЗУ» в положение «включено», тумблер «Загрузка» — в положение «Выключено». Набрать на КП требуемую последовательность микрокоманд. Проверить выполнение программы в шаговом режиме. Для этого необходимо подготовить БУ для работы в шаговом режиме и перед каждым тактовым импульсом тумблерами Вх. ПАЛУ, Поз. 1, Поз. 0, RG Вх. установить требуемые их значения. В каждом такте записать входные данные (КОП, Вх. ПАЛУ, Поз. 1, Поз. 0, RG Вх. Приорит., Вх. пр. сч., Упр. инкрем.) и выходные (RG Адр, RG Вых., Вых. ПАЛУ, Вых. пр. сч., Упр. инкр., Вых. Z/O бит, Оформить результаты эксперимента в виде таблицы.

Выполнение программы в шаговом режиме должно заканчиваться установлением исходного состояния в ЗУ μ РМ, т. е. КОП1 находится в нижнем регистре, а КОП5 в верхнем регистре. Это состояние индицирует светодиод «Нач. уст.».

Проверить выполнение программы в динамическом режиме. Подготовить БУ для работы в циклическом режиме. Установить постоянные значения Вх. ПАЛУ, Поз. 1, Поз. 0, RG Вх. Не изменяя содержимого ЗУ μ РМ, установить тумблеры «Цикл ЗУ» в положение включено, тумблер «Загрузка» — выключено. Нажать кнопку «Пуск». В зависимости от заданной программы снять осциллограммы сигналов СИ, Приорит., Вх. пр. сч.; Упр. инкр., Вх. шин., КОП, Шин. вых., Шин. адр., Вых. пр. сч., Вых. ПАЛУ, Вых. Z/O бит. Измерить временные

Таблица 15

№ СИ	КОП	Вх. пр. сч.	Приорит.	Вх. ПАЛУ	Поз. 0	Поз. 1	Шин. вх.
1	Шин. вх. → РОН1	0	1	×	1	0	0 ₁
2	Шин. вх. → РР	0	1	×	1	0	0 ₂
3	РОН1 → Шин. вых.	0	1	×	1	0	
4	РОН (А + В) РР → РОН1	0	0	0	1	0	
5	РОН1 → Шин. вых.	0	1	×	1	0	

Знак «X» означает, что состояние разряда не оказывает влияния на результат операции.

сдвиги и длительности импульсов. Осциллограммы снимать для одного из разрядов ЦП.

Зарисовать временные диаграммы и объяснить принцип работы ЦП.

Рассмотрим следующий пример.

Задание. Сложить два четырехразрядных числа. Одно из чисел поместить в РОН 1, второе — РР. Полученный результат поместить в РОН1. Содержимое РР вызвать на Шин. адр., а содержимое РОН1 — на Шин. вых. Программный счетчик должен работать в режиме +1.

Процессорный элемент находится в младшей позиции ЦП.

Выбрать необходимые коды операций и другие управляющие сигналы.

Для записи информации в регистры и пересылки на Шин. вых. используются команды табл. 7. Операцию сложения рационально выполнять с применением табл. 4, хотя не исключено использование «Операций II типа».

Для организации работы ПС необходим сигнал инкремента и Вх. пр. сч., а вызов содержимого РР на Шин. адр. происходит по сигналу «Приоритет», равном нулю. Операции I типа осуществляются при определенном значении Вх. ПАЛУ. Для задания места процессорного элемента в ЦП не-

обходимо управление Поз. 1, Поз. 0. Таким образом, определяется состав управляющего слова ЦП, состоящего из КОП Вх. пр. сч., Приорит., Вх. ПАЛУ, Поз. 0, Поз. 1 и Шин. вх. (Табл. 15).

Загрузить программу в ЗУ и проверить правильность загрузки.

Построить временную диаграмму работы программы (рис. 14). Значения Вх. пр. сч., Вх. ПАЛУ, Поз. 0, Поз. 1 в процессе выполнения программы не изменяются. Поэтому их задаем постоянными.

Набрать программу на КП. Первый выход СМ соединить с F КОП. Второй выход СМ — с F КОП и F Шин. вх. Третий выход СМ — с F КОП и F Шин. вх. Четвертый выход СМ — с F КОП и F Приорит., пятый выход — с F КОП.

Записать начальное значение RG Адр. Подготовить БУ к работе в шаговом режиме. Перед нажатием кнопки «Пуск» в каждом такте установить из таблицы соответствующие значения разрядов Вх. пр. сч., Вх. ПАЛУ, Поз. 0, Поз. 1, Шин. вх.

В каждом такте контролировать содержимое RG Адр. (Шин. адр.), RG Вых. (Шин. вых.). Значения $POH1$ и PP , появляющиеся во время действия $KOP1$ и $KOP2$, в RG Вых. индифферентны не будут, так как на входе регистра они существуют в течение импульса Шин. вх.

Подготовить лабораторную установку для работы в циклическом режиме. Установить значение Шин. вх. $O_1 = O_2 = \text{const}$. Снять осциллограммы сигналов F СИ, F Приорит., F КОП, F Шин. вх., RG Адр., RG Вых., Измерить задержки Δt_2 , Δt_5 , Δt_6 .

3. Проверка операций IV типа

Проверить в шаговом режиме микрокоманду ($PP +$ Шин. вх. + Вх. ПАЛУ) Сдв. АП PP , PPP для средней позиции процессорного элемента. Подготовить БУ к работе в шаговом режиме. Составить программу выполнения команды, аналогично п. 2. Загрузить программу в ЗУ и РМ и проверить правильность загрузки. Установить тумблер «Загрузка» в положение «выключено», тумблеры «Цикл ЗУ» в положение «включено». Аналогично п. 2 набрать программу на КП. Установить тумблеры «Сдв. Цикл I» и «Сдв. цикл. II» в положение «выключено». Перед нажатием кнопки «Пуск» в каждом такте установить соответствующие значения Шин. вх. (RG вх.). В каждом такте контролировать содержимое RG Вых. (Шин. вых.), выв. 11 и 9.

Представить результаты в виде таблицы. Объяснить назначение операций IV типа и полученные результаты.

4. Проверка операций V типа

Проверить в шаговом режиме для средней позиции процессорного элемента арифметический, логический и циклический сдвиги.

Выполнение этого пункта аналогично п. 3. Вх ПАЛУ установить равным нулю.

В каждом такте контролировать содержимое *RG* Вых., выв. 12.

Примечание. Для организации циклического сдвига тумблер «Сдв. цикл. I» установить в положение «включено».

Представить результаты в виде таблицы. Объяснить назначение операций V типа и полученные результаты.

5. Проверка операций VI типа

Проверить в шаговом режиме для старшей позиции процессорного элемента микрокоманду (*PP* + Вх. ПАЛУ, *PPP*) Сдв. ЦЛВ → (*PP*, *PPP*). ЦП должен проводить операцию с односимвольным словом. Вх. ПАЛУ установить равным нулю. Тумблеры «Сдв. цикл. II» и «Сдв. цикл. I» установить в положение включено. Выполнение п. 5 аналогично п. 3. Содержимое *PP* вывести на Шин. адр. Содержимое *PPP* — на Шин. вых.

В каждом такте контролировать *RG* Вх., *RG* Вых. *RG* Адр., выходы 11, 9, 12, 6, 10, 24, 27. Представить результаты в виде таблицы. Объяснить назначение операций VI типа и полученные результаты.

4. ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ

Отчет должен содержать:

1. Упрощенную функциональную схему лабораторной установки.

2. Временные диаграммы, построенные в результате выполнения работы.

3. Осциллограммы проведенных экспериментов.

4. Результаты измерений.

5. Программы выполнения отдельных пунктов, оформленные в виде таблиц.

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Назначение и структура МП.
2. Основные характеристики МП.
3. Основные функциональные узлы и структура ЦП К584ИК1.
4. Виды операций, выполняемых ЦП К584ИК1, и их характеристика.
5. Функциональная схема лабораторной установки. Временная диаграмма.
6. Назначение сигнала «Приоритет».
7. Принцип управления программным счетчиком.
8. Почему информация с Шин. вх. при записи в регистры появляется на Шин. вых.?
9. Назначение выводов 10, 24, 27.
10. Как происходит изменение информации при циклических, арифметических и логических сдвигах?
11. Принцип работы ЦП при операциях сдвига с двойной точностью.
12. С какой целью используется схема ускоренного переноса при совместной работе нескольких ЦП?
13. Ответы на вопросы, сформулированные в содержании лабораторной работы.

ОГЛАВЛЕНИЕ

1. Теоретические основы эксперимента	1
1.1. Структура ЦП	2
1.2. Основные характеристики МП	5
2. Описание лабораторной установки	7
2.1. Центральный процессор К584ИК1	7
Функциональная (структурная) схема ЦП	10
Основные операции ЦП	18
Принцип действия ЦП	26
2.2. Блок управления	30
2.3. Запоминающее устройство РМ	32
2.4. Блок внешних устройств	34
2.5. Описание передней панели установки	34
3. Содержание лабораторной работы	36
4. Отчет по лабораторной работе	40
5. Контрольные вопросы	41

Составители: *Сергей Георгиевич Акимов, Владислав Германович Иоффе,
Павел Александрович Соколов*

ИССЛЕДОВАНИЕ МИКРОПРОЦЕССОРА

Лабораторная работа

Редактор Н. В. К а с а т к и н а
Техн. редактор Н. М. К а л е н ю к

Сдано в набор 20.03.79 г. Подписано в печать 8.05.79 г. Формат 60×84¹/₁₆
Бумага оберточная белая. Гарнитура литературная. Печать высокая.
Усл. п. л. 2,32. Уч.-изд. л. 2,1. Тираж 1000 экз. Заказ № 367. Бесплатно.

Куйбышевский ордена Трудового Красного Знамени
авиационный институт им. С. П. Королева,
Куйбышев, ул. Молодогвардейская, 151.

Тип. УЭЗ КуАИ, Куйбышев, ул. Ульяновская, 18.