

приемника ПШС, называемом цифровым коррелятором. Схема коррелятора (декодера) состоит из умножителя (смесителя) и следующих за ним интегратора, порогового устройства и узкополосного фильтра ФНЧ для усреднения (рисунок 2).

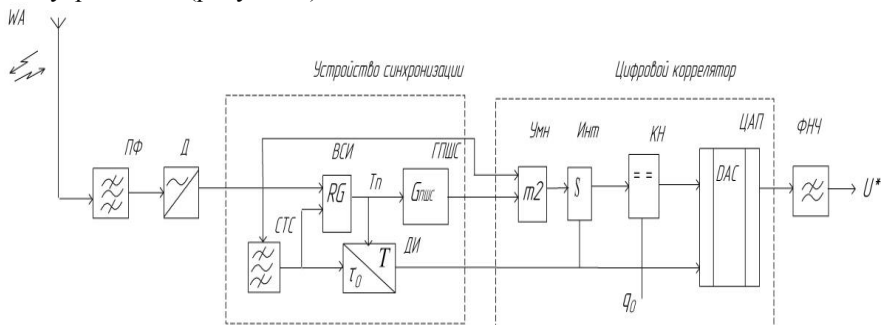


Рисунок 2 – Функциональная схема приемной части ЦСПИ

После высокочастотного детектирования в корреляторе групповой сигнал умножается на копию ПШС, используемую в передатчике.

Если значительное число нулей и единиц и порядок их следования в сравниваемых последовательностях совпадают, то на выходе перемножителя образуется длинная последовательность нулей или единиц, отражающая переданную информацию. Эта последовательность пропускается через узкополосный фильтр. При этом происходит улучшение отношения сигнал/шум на выходе коррелятора по отношению ко входу в  $N$  раз.

Список использованных источников.

1. Пенин, П.И. Радиотехнические системы передачи информации [Текст]: учебное пособие для ВУЗов/ П.И. Пенин, Л.И. Филиппов. - М.: Радио и связь, 1984. - 256с.
2. Информационные технологии в радиотехнических системах [Текст]: учеб. пособие для вузов / Под ред. И.Б.Федорова. Изд. МГТУ им. Баумана. 2004. – 218с.

УДК 621.3

## ПРИМЕНЕНИЕ СИС-ФИЛЬТРА ДЛЯ ВЫСОКОЧАСТОТНОЙ ОБРАБОТКИ СИГНАЛОВ НА БАЗЕ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ

Д.А. Шестаков

«Самарский национальный исследовательский университет имени академика С.П. Королева», г. Самара

**Ключевые слова:** ПЛИС, СИС-фильтр, высокочастотная обработка сигналов.

С повышением сложности функций аппаратуры и высокой скорости обработки данных, традиционные аналоговые схемы не могут удовлетворить всем требованиям проектирования. Поэтому активно разрабатываются и продвигаются такие интегрированные устройства, как ПЛИС в качестве высокоскоростных сигнальных процессоров, для которых характерно использование цифровых или программных средств для замены аналоговых схем.

В качестве конструкции цифрового фильтра выбран СИС-фильтр. Он состоит из интегратора, гребенчатого фильтра и блока понижение частоты дискретизации, но одноступенчатый СИС имеет малое затухание боковых лепестков и низкое отношение сигнал/шум, поэтому решено использовать каскад фильтров с пятью СИС. Подключение каскадом дает пропорциональное уменьшение уровня боковых лепестков и увеличивает завал главного лепестка АЧХ фильтра (пример АЧХ фильтров изображён на рисунке 1). Структурные схемы интегратора, гребенчатого фильтра и пятикаскадного СИС-фильтра показаны на рисунке 2.

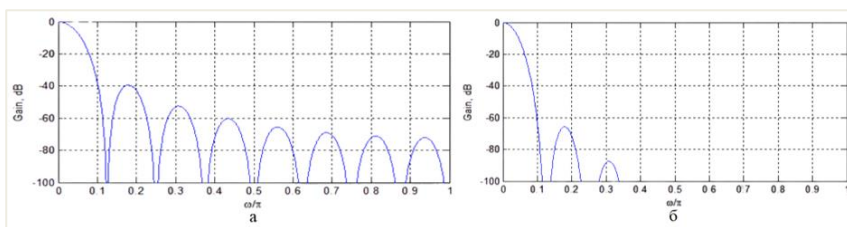


Рисунок 1 – АЧХ 3-х каскадного фильтра (а) и 5-и каскадного (б)

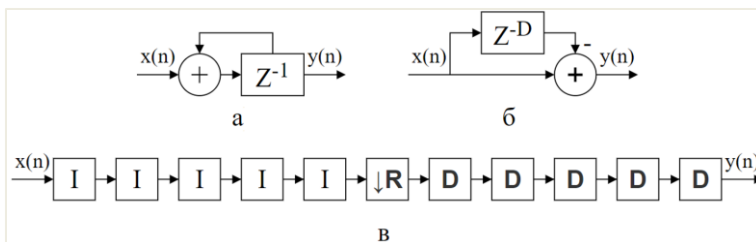


Рисунок 2 – Структурные схемы интегратора (а), гребенчатого фильтра (б) и пятикаскадного СИС-фильтра (в)

Данный цифровой фильтр предназначен не только для обработки высокочастотного сигнала, но и для понижения его частоты. Аналоговые преобразователи частоты недостаточно стабильны и сильно зависят от температуры. Однако применение цифрового преобразователя частоты может не только гарантировать ортогональность несущей полосы частот,

но и удобно изменять частотный интервал и другие параметры. Кроме того, понижение частоты принимаемого сигнала снизит нагрузку на последующую обработку данных.

Фильтру CIC требуется лишь небольшое количество сумматоров и регистров для реализации процесса без необходимости дополнительных сложных вычислений. Благодаря этому он требует относительно небольших ресурсов для реализации, что имеет большие перспективы применения.

Список использованных источников

1. Sabitha D., Hariharan K. Design of five stage CIC decimation filter for signal processing applications //Contemp. Eng. Sci. – 2014. – Т. 7. – №. 8. – С. 351-356.
2. Zheng J., Ge L. D., Li B. Modification of CIC decimation filter and its FPGA realization //Journal of Information Engineering University. – 2006.
3. Jing Q., Li Y., Tong J. Performance analysis of multi-rate signal processing digital filters on FPGA //EURASIP Journal on Wireless Communications and Networking. – 2019. – Т. 2019. – №. 1. – С. 1-9.

Шестаков Дмитрий Александрович, инженер-конструктор. E-mail: Shestak-21@ya.ru

УДК 537.63

## **СИСТЕМА УПРАВЛЕНИЯ ДИНАМИЧЕСКИМ УСКОРИТЕЛЕМ МИКРОННЫХ ЗАРЯЖЕННЫХ ЧАСТИЦ**

К.И. Сухачев, Ю.В. Аксенова

«Самарский национальный исследовательский университет  
имени академика С.П. Королева», г. Самара

**Ключевые слова:** ускоритель частиц, система управления, микроконтроллеры.

В настоящее время установлено, что в космическом пространстве существует опасность соударения техногенных частиц с космическими аппаратами и их влияние на работоспособность систем управления. Для имитации такого воздействия существуют различные способы ускорения пылевых частиц в лабораторных условиях [1].

Основным элементом ускорителя является система управления, которая формирует ускоряющие напряжения на трубках дрейфа. Описанный метод позволяет достичь формирования ускоряющего напряжения на трубках дрейфа, но производить расчет координат и параметров движения частиц в реальном времени.

С использованием такой системы управления возможно будет оперировать не с физическими параметрами частиц, а только с параметрами движения. Это позволит упростить схемотехнику, увеличить