

## ФОРМИРОВАТЕЛЬ ОПОРНОГО СИГНАЛА В ДЕМОДУЛЯТОРЕ ЦИФРОВОГО КАНАЛА СВЯЗИ С ФАЗОВОЙ МАНИПУЛЯЦИЕЙ

В.А. Глазунов, В.А. Никонов

«Самарский национальный исследовательский университет имени академика С.П. Королёва», г. Самара

Современные цифровые системы передачи информации (ЦСПИ) в своем большинстве используют фазовую манипуляцию (ФМн), при которой при узкой полосе пропускания обеспечивается наименьшая вероятность ошибочного приема цифровых символов. Однако реализовать в полной мере возможности подобных систем удастся только при применении высокоточных и стабильных генераторов опорных сигналов в демодуляторах ФМн. Практическая схема генератора опорных сигналов основана на использовании входного высокочастотного сигнала ФМн, манипуляцию фазы которого может быть снята путем умножения частоты с последующим её делением. Схема такого выделителя опорного напряжения представлена на рисунке 1. При манипуляция фазы принимаемого сигнала на  $0/180$  градусов изменения фазы на выходе входного полосового фильтра ПФ снимается умножением частоты на 2 (УЧ), и после небольшой коррекции с последующим делением на 2 (ДЧ) формируется высокочастотный сигнал постоянной фазы (0 или 180). Искомые информационные символы КИМ образуются с помощью фазового детектора ФД.

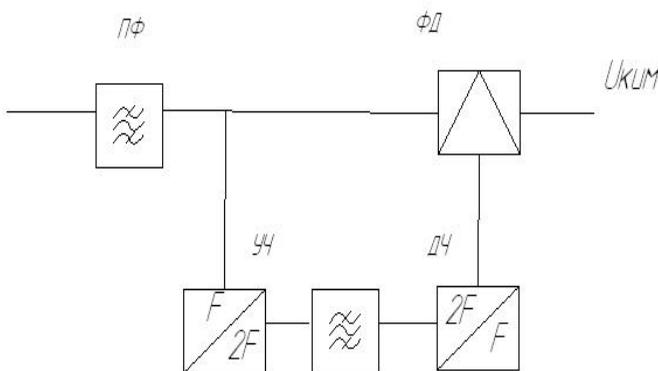


Рисунок 1 – Схема выделителя опорного напряжения

Рассмотренная схема выделителя - генератора опорного сигнала имеет существенные недостатки:

- 1) велика вероятность «обратной работы»,
- 2) даже при невысоком уровне помех вероятность перехода генератора из одного состояния в другое также велика, что снижает эффективность использования ФМн.

Одним из методов устранения указанных выше недостатков является построение схемы опорного генератора по принципу ФАПЧ - рисунок 2 [1].

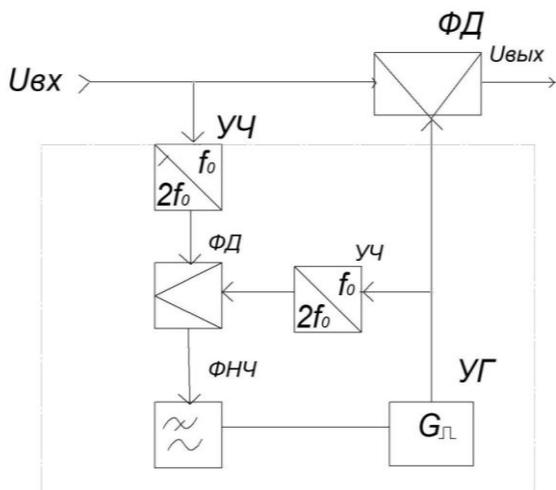


Рисунок 2 – Выделитель опорного напряжения по принципу ФАПЧ

Данный демодулятор позволяет получить близкую к потенциальной помехоустойчивость, если есть возможность обеспечить достаточно узкополосную фильтрацию в тракте выделителя опорного колебания – полоса пропускания этого тракта должна быть по крайней мере на порядок меньше информационной полосы частот сигнала.

Реализация достаточно узкополосного полосового фильтра может оказаться затруднительной при высокой частоте несущего колебания и сравнительно низкой скорости манипуляции, то есть при узкополосном входном сигнале. Поэтому высокая точность и стабильность работы формирователя может быть обеспечена либо переносом по частоте вниз, либо использованием замкнутой активной схемы с управляемым генератором и ремодуляцией путем умножения фазы по квадратурным компонентам водного сигнала – схема Костаса [2]. Опорное колебание вырабатывается генератором, управляемым напряжением УГ, образующим вместе с перемножителями, интеграторами, петлевым фильтром цепь фазовой автоматической подстройки частоты. При этом УГ управляется через петлевой фильтр цепи ФАПЧ сигналом, равным произведению

проекций принятого сигнала на ортогональные опорные колебания. Этот управляющий сигнал пропорционален синусу удвоенной разности.

Список использованных источников

1. Глазунов, В. А. Цифровые системы передачи информации [Текст]: учебное пособие для вузов/В. А. Глазунов. – Самара: Изд-во Самар. гос. аэрокосм. ун-та, 2012. – 49с.: ил.

2. Системы радиосвязи [Текст]: учебное пособие для вузов / под ред. Н.И. Калашникова. – М.: Радио и связь, 2002. – 352 с.

Глазунов Владислав Александрович, к.т.н., доцент, glazunov\_41@mail.ru

Никонов Владислав Алексеевич, магистрант гр. 6131-110401D, rjn-dfcbkbq8719@mail.ru

УДК 621.3

## **СТРУКТУРА КОМПИЛЯТОРА И ПРОШИВКИ ПОД МИКРОКОНТРОЛЛЕРНОЕ ФМУ ЯДРО НА БАЗЕ FPGA ДЛЯ НАУЧНОЙ КОСМИЧЕСКОЙ АППАРАТУРЫ**

Д.П. Григорьев, К.И. Сухачёв

«Самарский национальный исследовательский университет имени академика С.П. Королёва», г. Самара

**Ключевые слова:** космический аппарат, компилятор, verilog, микроконтроллер, ПЛИС, RISC.

Для повышения скорости и точности обработки данных в космической научной аппаратуре необходимо применять скоростные вычислительные модули на базе ПЛИС или микроконтроллеров [1, 2]. ПЛИС выгодно использовать для построения логических операций и математических вычислений (DSP), которые выполняются параллельно, не занимая время работы на каждый канал. Однако они сложны с точки зрения построения программного обеспечения, например, операционных систем, или запуска таких интерфейсов, как Ethernet. Микроконтроллеры в свою очередь проще по построению и отладке программного обеспечения и реализации разного рода периферии, но они недостаточны по скорости обработки информации, и практически все имеют только одно вычислительное ядро, ввиду чего невозможно использовать параллельную обработку данных.

Настоящая работа выполнена для разработки нового микроконтроллерного ядра, на базе отечественной ПЛИС, чтобы совместить достоинства как ПЛИС, так и микроконтроллера [3].

В ходе работы, для вычислительного ядра на базе ПЛИС, была спроектирована структурная схема компилятора, который генерирует двоичный код прошивки по СИ-подобному языку. Компилятор состоит из таких основополагающих частей, как препроцессор, анализатор лексики,